

**CATU DAYA TERPROGRAM
BERBASIS MIKROKONTROLER 8031**



TUGAS AKHIR

**Tugas akhir ini disusun guna memenuhi persyaratan
memperoleh gelar sarjana strata satu (S-1) Jurusan Teknik Elektro**

disusun oleh :

Nama : Donny Panauhe

Nrp : 011 91 0051

NIRM : 913206710250049

**JURUSAN TEKNIK ELEKTRO
FAKULTAS TEKNOLOGI INDUSTRI
INSTITUT TEKNOLOGI INDONESIA**

S E R P O N G

1 9 9 6

LEMBAR PENGESAHAN

CATU DAYA TERPROGRAM BERBASIS MIKROKONTROLER 8031

TUGAS AKHIR

Tugas akhir ini disusun guna memenuhi persyaratan
memperoleh gelar sarjana strata satu (S-1) Jurusan Teknik Elektro

disusun oleh :

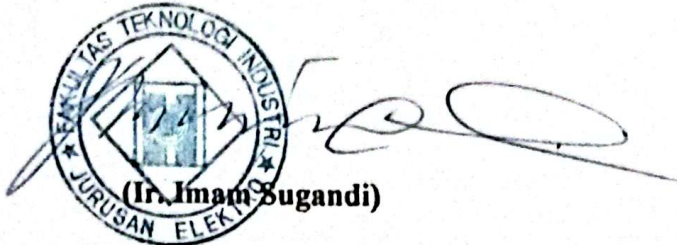
Nama : Donny Panauhe

Nrp : 011 91 0051


NIRM : 913206710250049

Disahkan oleh :

Ketua Jurusan Teknik Elektro


(Ir. Imam Sugandi)

Dosen Pembimbing


(Ir. Suhedi)

ABSTRAK

Tugas akhir ini membahas pemakaian dari salah satu jenis Mikrokontroler keluarga MCS-51 yang paling sederhana dan murah produksi Intel yaitu Mikrokontroler 8031 untuk mengatur keluaran dari sebuah catu daya dengan batas keluaran dari 0 V sampai dengan 25,5 V, dengan kenaikan setiap *level* sebesar 0,1 V.

Pengaturan keluaran catu daya dilakukan melalui sebuah papan kunci (*keypad*) dan besarnya juga ditampilkan dengan peraga yang tiga buah *seven segments display*.

KATA PENGANTAR

Puji dan syukur penulis panjatkan ke hadirat Tuhan Yang Maha Esa atas rahmat dan karunia-Nya yang telah membimbing penulis dalam menyelesaikan tugas akhir ini.

Tugas akhir ini disusun untuk memenuhi salah satu syarat memperoleh gelar Sarjana Teknik Elektro pada Fakultas Teknologi Industri Institut Teknologi Indonesia.

Pada kesempatan ini penulis ingin menyampaikan terima kasih yang sebesar-besarnya :

- Bapak Ir. Suhedi, selaku dosen pembimbing yang telah banyak meluangkan waktu untuk memberikan sumbangan pikiran, bimbingan, dan penyediaan materi dalam penyelesaian tugas akhir ini.
- Bapak Ir. Imam Sugandi, selaku Ketua Jurusan Teknik Elektro.
- Ibu Dr. Ir. Fatimah ZP, selaku Koordinator Tugas

Akhir.

- Seluruh staf sekretariat jurusan Teknik Elektro.
- Mintarja Tjandra, Johannes "Oni", Djohan "Ambon", Erik, Adi "Yuk, kita main bola lagi", Daniel, Eko, dan Ronny serta seluruh rekan-rekan yang tidak dapat disebutkan satu persatu atas dukungan dan bantuannya yang tak ternilai selama ini.

Penulis mengharapkan semoga tugas akhir dapat bermanfaat, walaupun tugas akhir ini masih jauh dari sempurna dan banyak kekurangan-kekurangannya. Untuk itu penulis selalu menerima saran dan kritik.

Jakarta, September 1996

Penulis

DAFTAR ISI

	Hal
Lembar Pengesahan	i
Abstrak	ii
Kata Pengantar	iii
Daftar Isi	v
Daftar Gambar	viii
Daftar Tabel	ix
BAB I : Pendahuluan	1
I.1 Latar Belakang	1
I.2 Tujuan	2
I.3 Pembatasan Masalah	2
I.4 Sistematika Penulisan	3
BAB II : Landasan Teori	4
II.1 Catu Daya DC	5
II.1.1 Penyearah	5
II.1.1.1 Penyearah Setengah Gelombang	5
II.1.1.2 Penyearah Gelombang Penuh	6
II.1.2 Kapasitor Penapis	7
II.1.3 Catu Daya Yang Distabilkan	8
II.2 Mikrokontroler 8031	9
II.2.1 Fungsi Dan konfigurasi Pin 8031	10
	v

II.2.2 Organisasi Memori	12
II.2.2.1 Random Access Memory (RAM)	13
II.2.2.2 Read Only Memory (ROM)	13
II.2.3 Register-register Kegunaan Umum	13
II.2.4 Register-register Fungsi Khusus	14
II.2.4.1 Accumulator (A)	14
II.2.4.2 Multiplication Register (B)	15
II.2.4.3 Data Pointer (DPTR)	15
II.2.4.4 Program Status Word (PSW)	15
II.2.4.5 Serial Data Buffer (SBUF)	15
II.2.4.6 Serial Port Control (SCON)	16
II.2.4.7 Stack Pointer (SP)	16
II.2.4.8 Timer Control (TCON)	16
II.2.4.9 Timer Mode (TMOD)	17
II.2.4.10 Interrupt Priority Control (IP)	17
II.2.4.11 Interrupt enable (IE)	17
II.2.5 Interupsi	18
II.2.6 Reset	18
II.2.7 Program Bantu	18
II.2.7.1 Assembler (ASM51)	19
II.2.7.2 Relocation And Linkage (RL51)	19
II.2.7.3 Output Hexadecimal (OH)	20
BAB III : Catu Daya Terprogram Berbasis	
Mikrokontroler 8031	21
III.1 Perangkat Keras	23

III.1.1 Rangkaian Mikrokontroler 8031	23
III.1.2 Rangkaian Catu Daya	25
III.1.3 Rangkaian Papan Kunci	26
III.1.4 Rangkaian Digital to Analog Converter	27
III.1.5 rangkaian Tampilan (Display)	29
III.2 Perangkat Lunak	30
BAB IV : Pengujian	33
BAB V : Kesimpulan	35
Daftar Pustaka	36
Lampiran	

DAFTAR GAMBAR

	Hal
Gambar 2.1 Diagram blok unit catu daya	5
Gambar 2.2 Penyearah setengah gelombang	6
Gambar 2.3 Penyearah gelombang penuh	6
Gambar 2.4 Penyearah jembatan	7
Gambar 2.5 Penyearah dengan kapasitor penapis	8
Gambar 2.6 Rangkaian regulator dengan dioda zener	9
Gambar 2.7 Arsitektur internal Mikrokontroler 8031	10
Gambar 2.8 Konfigurasi pin IC Mikrokontroler 8031	11
Gambar 2.9 Urutan pembuatan program	19
Gambar 3.1 Diagram blok Catu Daya Terprogram Berbasis Mikrokontroler 8031	22
Gambar 3.2 Rangkaian Mikrokontroler 8031	24
Gambar 3.3 Rangkaian catu daya yang digunakan	25
Gambar 3.4 Rangkaian papan kunci	27
Gambar 3.5 Rangkaian Digital to Analog Converter	28
Gambar 3.6 Rangkaian tampilan	29
Gambar 3.7 Diagram alir perangkat lunak	31

DAFTAR TABEL

	Hal
Tabel 2.1 Fungsi khusus Port 3	12
Tabel 2.2 Pemilihan Bank Register	14
Tabel 2.3 Sumber interupsi dan vektor alamatnya	18
Tabel 4.1 Hasil Pengukuran	33

BAB I

PENDAHULUAN

I.1 Latar Belakang

Power Supply Unit (PSU) atau catu daya sangat dibutuhkan oleh semua piranti elektronika. Karena catu daya tersebut yang mancatu tegangan searah (DC) untuk piranti elektronika yang bersangkutan. PSU tersebut yang merubah tegangan bolak-balik (AC) dari jala-jala PLN menjadi tegangan searah yang dibutuhkan, karena di dalam PSU tersebut terdapat transformator dan penyearah.

Catu daya yang ada di dalam piranti-piranti elektronika (*internal* PSU) adalah catu daya yang menghasilkan tegangan searah yang besarnya tetap (*fixed*). Sedangkan pada laboratorium elektronika biasanya dibutuhkan catu daya yang besar tegangan keluarannya

dapat diubah-ubah (*adjustable*).

Adjustable Power Supply atau biasa disebut catu daya variabel yang ada biasanya pengaturan tegangannya menggunakan potensiometer. Pemakaian potensiometer sangat sulit untuk mendapatkan tegangan yang diinginkan. Untuk mendapatkan tegangan yang diinginkan potensiometer tersebut harus diputar dengan hati-hati sekali.

Untuk mengatasinya, maka dirancang catu daya terprogram yang berbasis Mikrokontroler 8031, sehingga memudahkan pengaturan tegangan keluarannya, hanya dengan menekan papan kunci yang sesuai dengan tegangan yang diinginkan.

I.2 Tujuan

Pada hakekatnya, pembuatan catu daya terprogram ini bertujuan agar mempermudah pengaturan tegangan pada catu daya variabel, selain untuk mempelajari salah satu aplikasi Mikrokontroler 8031.

I.3 Pembatasan Masalah

Perangkat keras yang dibuat dibatasi hanya untuk menghasilkan tegangan keluaran catu daya sebesar +25,5 V dengan kenaikan setiap *level* sebesar 0,1 V. Terdapat 255

level. Sedangkan data terdiri dari 8 bit (maksimum FFH), berarti keluaran catu daya +25,5 V ekuivalen dengan data FFH yang diterima oleh DAC.

I.4 Sistematika Penulisan

Sistematika penulisan tugas akhir ini adalah sebagai berikut :

- BAB I** : Merupakan pendahuluan yang menjelaskan latar belakang, tujuan, pembatasan masalah dan sistematika penulisan.
- BAB II** : Menjelaskan tentang landasan teori mengenai regulator dan perangkat keras Mikrokontroler 8031.
- BAB III** : Membahas perancangan dan perakitan secara garis besar.
- BAB IV** : Menyajikan hasil pengujian.
- BAB V** : Merupakan kesimpulan dari pembuatan tugas akhir ini.

BAB II

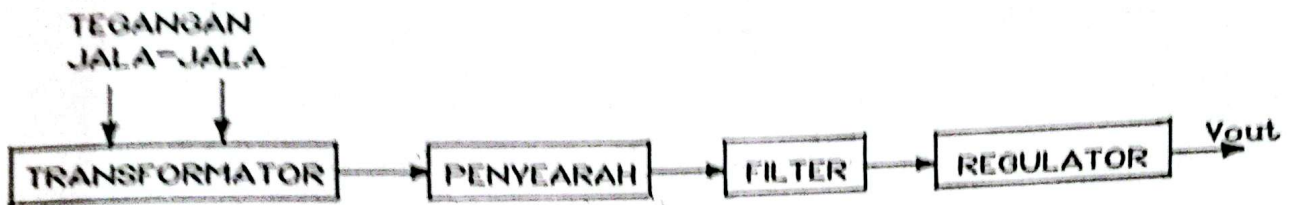
CATU DAYA DAN MIKROKONTROLER 8031

Semua peralatan elektronika selalu memerlukan tegangan searah untuk mengaktifkannya. Untuk peralatan elektronika yang berukuran kecil dan konsumsi dayanya rendah biasanya menggunakan baterai sebagai sumber tegangan searah. Tetapi untuk peralatan elektronika yang memerlukan daya yang relatif besar, paling tidak membutuhkan sebuah unit catu daya sebagai sumber tegangan searah.

Gambar 2.1 memperlihatkan diagram blok sebuah unit catu daya.

Transformator atau trafo *step down* menurunkan tegangan bolak balik (AC) jala-jala 110/220 V ke tegangan AC yang diinginkan. Penyearah (*rectifier*) mengubah

tegangan bolak balik menjadi tegangan searah. Kemudian oleh filter, tegangan searah tersebut diluruskan (*smoothed*). Sedangkan regulator berfungsi membuat tegangan keluaran menjadi stabil.



Gambar 2.1 Diagram blok unit catu daya

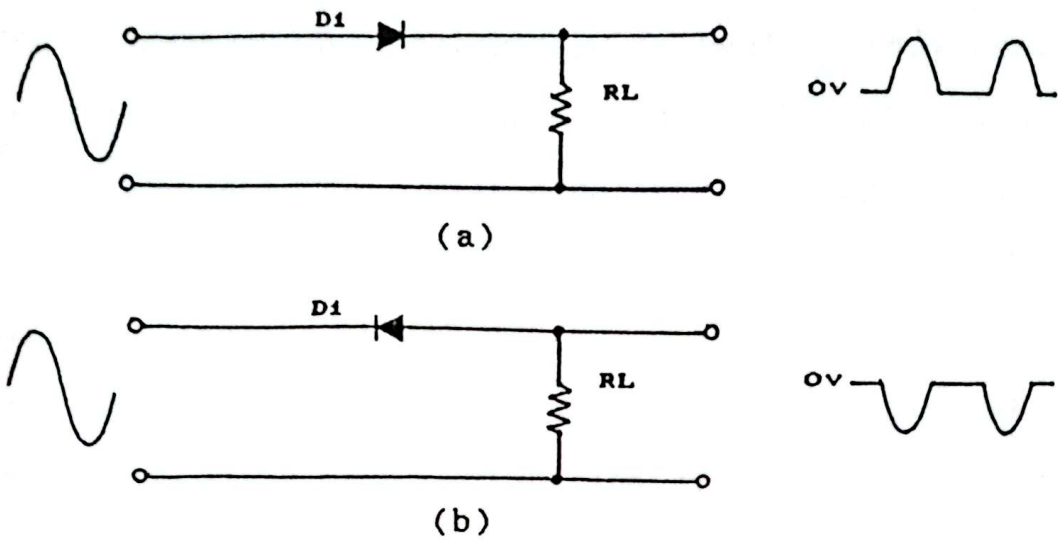
II.1 Catu Daya DC

II.1.1 Penyearah

Ada dua jenis penyearah yang dikenal, yaitu penyearah setengah gelombang dan penyearah gelombang penuh.

II.1.1.1 Penyearah Setengah Gelombang

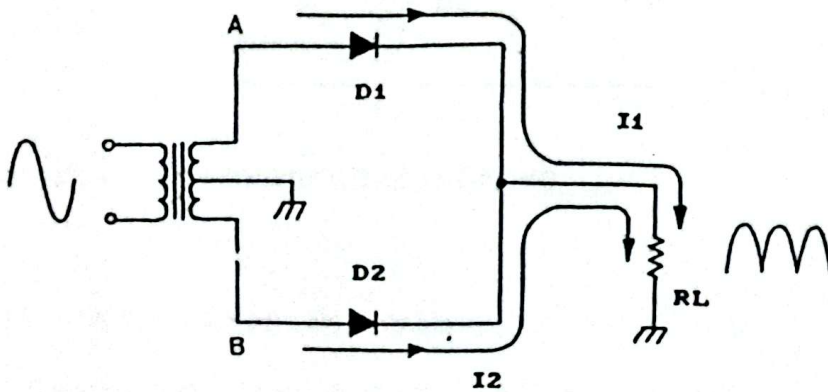
Gambar 2.2 memperlihatkan penyearah setengah gelombang. Dalam gambar 2.2a, dioda D1 hanya membolehkan setengah siklus positif saja yang lewat, sehingga menghasilkan keluaran yang menuju positif. Jika dioda D1 dibalik seperti pada gambar 2.2b, yang dihasilkan adalah setengah siklus yang menuju negatif.



Gambar 2.2 Penyearah setengah gelombang
 (a) menuju positif
 (b) menuju negatif

II.1.1.2 Penyearah Gelombang Penuh

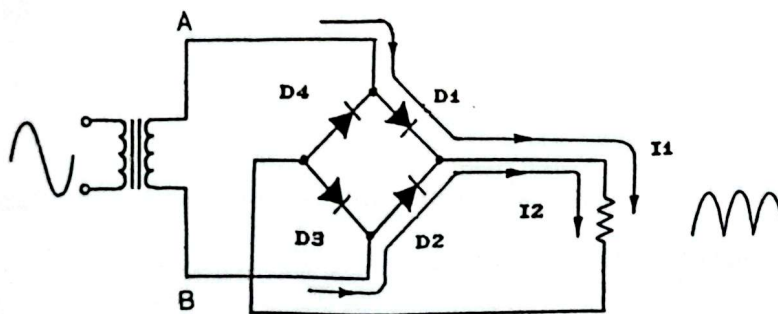
Gambar 2.3 memperlihatkan penyearah gelombang penuh dengan menggunakan transformator dengan sekunder yang dicabang di tengahnya (*center tap*).



Gambar 2.3 Penyearah gelombang penuh

Transformator membangkitkan dua bentuk gelombang yang saling berlawanan (berbeda fasa 180°) pada tiap separuh gulungan sekunder. Bila A positif, D1 menghantar dan arus I_1 mengalir lewat RL. Bila B positif, D2 menghantar dan arus I_2 mengalir.

Rangkaian lain yang juga dapat menghasilkan penyearahan gelombang penuh diperlihatkan dalam gambar 2.4, yang dikenal sebagai penyearah jembatan. Misal pada separuh siklus, titik A positif dan titik B negatif, maka dioda D1 dan D3 menghantar dan arus I_1 mengalir lewat RL. Dan pada separuh siklus berikutnya dioda D2 dan D4 menghantar dan arus I_2 mengalir lewat RL. Sehingga didapatkan penyearahan gelombang penuh tanpa transformator cabang tengah.



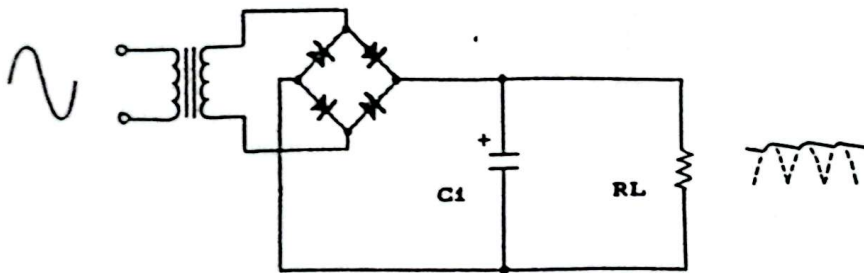
Gambar 2.4 Penyearah jembatan

II.1.2 Kapasitor Penapis

Keluaran penyearah adalah tegangan searah yang berdenyut. Supaya didapat tegangan searah yang rata

diperlukan sebuah penapis (*filter*).

Kapasitor C1 mengisi sampai tegangan puncak dan membuangnya lewat beban RL. Amplitudo riak ditentukan oleh konstanta waktu RC dari kapasitor dan resistansi beban. Oleh karena itu untuk mendapatkan riak yang kecil diperlukan kapasitor yang kapasitansinya besar. Akibatnya, semakin besar kapasitansinya maka tegangan keluaran semakin mendekati tegangan puncak.



Gambar 2.5 Penyearah dengan kapasitor penapis

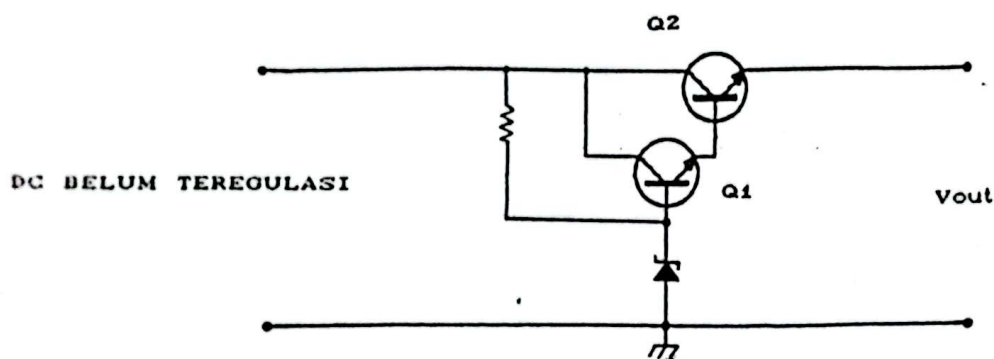
II.1.3 Catu Daya Yang Distabilkan

Catu daya yang distabilkan (*Regulated Power Supply*) yang umum biasanya menggunakan dioda zener sebagai referensi tegangan bagi rangkaian regulatornya, seperti terlihat pada gambar 2.6.¹

Dioda zener mempertahankan tegangan basis Q1 agar konstan. Oleh karena itu tegangan keluaran menjadi stabil karena tegangan kolektor emitor juga konstan. Q1 dan Q2

¹*Electronic System and Technology, Ibrahim KF.*

berfungsi sebagai penguat arus. Sehingga untuk beban yang besar tidak diperlukan zener daya yang besar.



Gambar 2.6 Rangkaian regulator dengan dioda zener

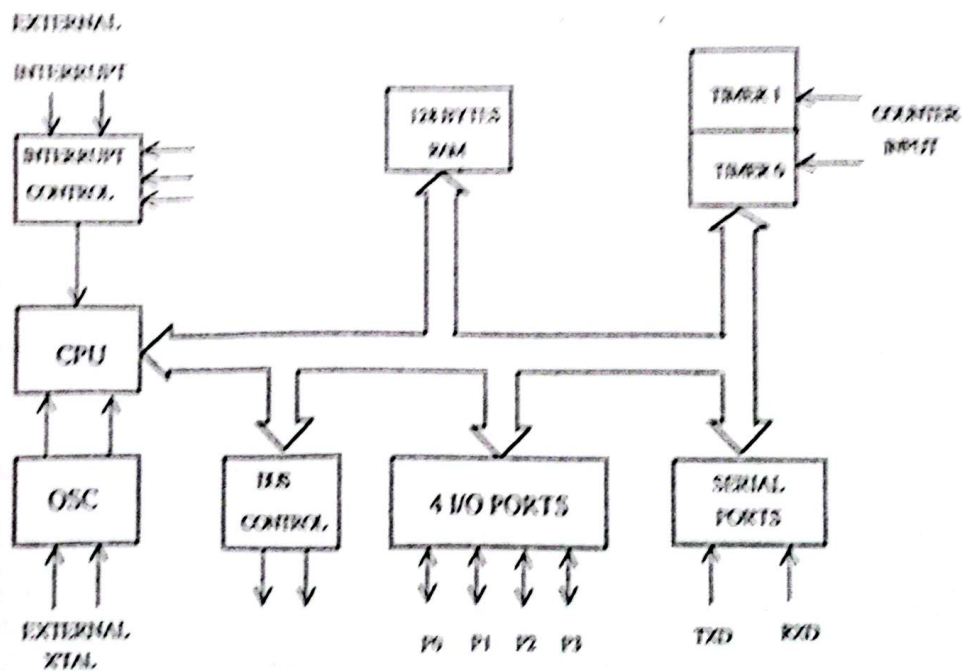
II.2 Mikrokontroler 8031

Mikrokontroler adalah mikroprosesor yang sistem minimumnya telah dikemas dalam satu *chip*. Mikrokontroler 8031 sendiri sudah memiliki fasilitas-fasilitas sebagai berikut :

- *Central Processing Unit (CPU) 8 bit*
- 8x4 jalur masukan keluaran (I/O) : P0 - P3
- Terminal serial *full duplex*
- 128 byte RAM internal
- 64 kB *Program Memory Address*

- 64 kB Data Memory Address
- 2 timer/counter 16 bit : T0 dan T1
- On chip oscillator

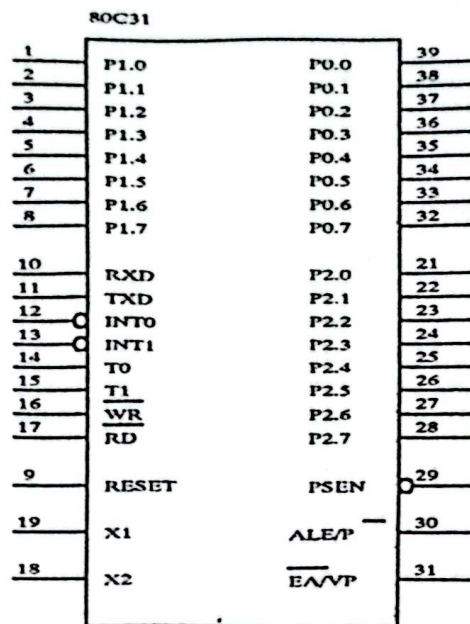
Arsitektur internal Mikrokontroler 8031 diperlihatkan pada gambar 2.7 berikut ini.



Gambar 2.7 Arsitektur internal Mikrokontroler 8031

II.2.1 Fungsi Dan Konfigurasi Pin 8031

Mikrokontroler 8031 mempunyai 40 pin, yang masing-masing pin mempunyai fungsi tersendiri.



Gambar 2.8 Konfigurasi pin IC Mikrokontroler 8031

Fungsi pin pada Mikrokontroler 8031 :

PORT 0 : Port 0 adalah port *bidirectional* I/O 8 bit.

PORT 1 : Port 1 adalah port *bidirectional* I/O dengan *internal pull-up*.

PORT 2 : Port 2 adalah port *bidirectional* I/O dengan *internal pull-up*. Port ini mengeluarkan alamat saat mengambil memori program eksternal dan saat mengakses ke memori data eksternal yang memakai alamat 16 bit.

PORT 3 : Port 3 adalah port *bidirectional* I/O dengan *internal pull-up*. Port ini mempunyai

beberapa fungsi khusus seperti : *interupsi, timer, port serial, read dan write.*

Tabel 2.1 Fungsi khusus Port 3

Pin	Fungsi
P3.0	RXD (Port masukan serial)
P3.1	TXD (Port keluaran serial)
P3.2	INT0 (<i>External Interrupt 0</i>)
P3.3	INT1 (<i>External Interrupt 1</i>)
P3.4	TO (Masukan eksternal timer 0)
P3.5	T1 (Masukan eksternal timer 1)
P3.6	WR (Strobe tulis memori eksternal)
P3.7	RD (Strobe baca memori eksternal)

PSEN : *Program Strobe Enable* adalah sinyal baca untuk memori program eksternal.

ALE : ALE menghasilkan pulsa untuk mengambil alamat selama pengaksesan memori eksternal.

EA : *External Enable.*

II.2.2 Organisasi Memori

Terdapat dua macam memori yang dapat diakses yaitu memori *internal* (dalam) dan memori *eksternal* (luar). Jumlah alamat memori dalam terdiri atas 128 byte yang antara lain digunakan untuk register R0 sampai R7. Sedangkan jumlah alamat memori luar yang dapat diakses adalah 64 KB yang terbagi atas 32 KB untuk memori

program dan sisanya untuk memori data.

II.2.2.1 Random Access Memory (RAM)

RAM digunakan untuk menyimpan memori data. Untuk RAM sebesar 32 KB maka alamat yang ditematinya mulai dari 8000H sampai FFFFH. Untuk mengakses data pada RAM digunakan perintah MOVX yang dikombinasikan dengan register R0 - R1, akumulator (A), atau *Data Pointer* (DPTR).

II.2.2.2 Read Only Memory (ROM)

ROM digunakan untuk menyimpan memori program. Jika digunakan ROM sebesar 32 KB, maka alamat yang ditempati 0000H sampai 7FFFH. Pada saat *power-on* atau *reset*, *Program Counter* (PC) akan menunjuk ke alamat 0000H dan akan menjalankan program yang ada pada ROM tersebut.

II.2.3 Register-register Kegunaan Umum

Mikrokontroler 8031 mempunyai delapan buah *General Purpose Register* (Register, kegunaan umum) yaitu R0 sampai R7. Register-register tersebut menempati empat buah *bank register*, masing-masing satu byte. Pemilihannya dapat

dilakukan melalui bit RSO dan RS1 pada PSW. Tabel 2.2 menunjukkan cara pemilihan bank register.

Tabel 2.2 Pemilihan Bank Register

RS0	RS1	Bank	Alamat
0	0	0	00H - 07H
0	1	1	08H - 0FH
1	0	2	10H - 17H
1	1	3	18H - 1FH

II.2.4 Register-register Fungsi Khusus

Selain mempunyai *General purpose register* R0 - R7, Mikrokontroler 8031 mempunyai 11 buah register yang mempunyai fungsi khusus.

II.2.4.1 Accumulator (A)

Register Accumulator (A) mempunyai beberapa fungsi antara lain :

- Berpasangan dengan register B dalam operasi perkalian atau pembagian.
- Digunakan dalam operasi aritmatik dan operasi logika.
- Digunakan untuk menulis atau membaca data yang ada pada memori luar dengan instruksi MOVX.
- Digunakan untuk menerima atau mengirim data melalui

register Serial Buffer (SBUF) pada terminal serial.

II.2.4.2 Multiplication Register (B)

Register B jika berpasangan dengan register A akan mempunyai peranan penting dalam operasi perkalian dan pembagian. Jika tidak digunakan dalam operasi aritmatika register ini dapat dipakai untuk keperluan umum.

II.2.4.3 Data Pointer (DPTR)

Register DPTR ini merupakan satu-satunya register 16 bit. Register ini biasanya digunakan sebagai pemegang alamat memori atau dapat juga digunakan sebagai register bebas.

II.2.4.4 Program Status Word (PSW)

Register PSW berfungsi memberikan informasi mengenai keadaan atau status program.

II.2.4.5 Serial Data Buffer (SBUF)

Register ini merupakan dua buah register yang terpisah, register buffer kirim dan register buffer

terima. Jika ingin mengirim data melalui terminal serial, maka data tersebut dipindahkan ke SBUF. Sebaliknya, jika mengambil data dari SBUF itu berarti mengambil data yang diterima terminal serial.

II.2.4.6 Serial Port Control (SCON)

Register SCON berfungsi mengatur komunikasi data yang dilakukan melalui terminal serial. Register ini tidak hanya memilih mode transmisi serial tetapi juga mengandung bit ke 9 dari data yang dikirim atau yang diterima (TB8 dan RB8) dan bit interupsi terminal serial (TI dan RI).

II.2.4.7 Stack Pointer (SP)

Register SP mempunyai mekanisme penyimpanan LIFO (*Last In First Out*) yang digunakan untuk memegang alamat PC selama interupsi atau subrutin berlangsung. Dapat juga digunakan untuk menyimpan dan mengembalikan data terutama register PSW dengan instruksi POP dan PUSH. SP selalu mengandung alamat byte terakhir yang disimpan ke stack.

II.2.4.8 Timer Control (TCON)

Register TCON bekerja sama dengan register TMOD

akan mengatur penggunaan pewaktu (*timer*), pencacah (*counter*) dan interupsi.

II.2.4.9 Timer Mode (TMOD)

Register TMOD akan menyatakan pemilihan sebagai pewaktu atau sebagai pencacah.

II.2.4.10 Interrupt Priority Control (IP)

Register IP ini akan menentukan tingkat prioritas interupsi luar. Hanya ada dua tingkat, yaitu *High Priority* dan *Low Priority*. Prioritas bawah dapat diinterupsi oleh prioritas atas tetapi tidak dapat sebaliknya. Jika terjadi interupsi pada tingkat yang sama maka dilakukan *polling*.

II.2.4.11 Interrupt Enable (IE)

Register IE berfungsi untuk mengontrol apakah suatu interupsi diinginkan atau tidak. Kontrol utama interupsi pada bit ke 7. Jika bit ini *clear* maka semua interupsi tidak berlaku.

II.2.5 Interupsi

Pada Mikrokontroler 8031 ini terdapat 5 buah interupsi. Sumber-sumber interupsi beserta vektor alamatnya dapat dilihat pada tabel berikut ini, dan penentuan prioritasnya ditentukan melalui register IP.

Tabel 2.3 Sumber interupsi dan vektor alamatnya

Sumber interupsi	Vektor alamat
Eksternal 0	0003 H
Timer/Counter 0	000B H
Eksternal 1	0013 H
Timer/Counter 1	001B H
Serial Port	0023 H

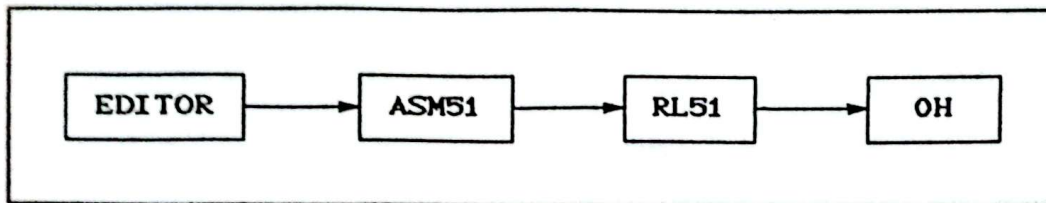
II.2.6 Reset

Jika berada dalam kondisi reset, semua register akan berada pada harga mula-mula. Program Counter (PC) juga selalu menunjuk ke alamat 0000H sehingga instruksi pertama pada ROM yang dijalankan berada pada alamat 0000H.

II.2.7 Program Bantu

Yang dimaksud dengan program bantu di sini adalah perangkat lunak yang membantu operasi Mikrokontroler 8031. Perangkat lunak tersebut adalah ASM51, RL51 dan OH.

Pembuatan program harus mengikuti prosedur seperti pada gambar dibawah ini.



Gambar 2.9 Urutan pembuatan program

II.2.7.1 Assembler (ASM51)

Program yang sudah ditulis dengan teks editor seperti Norton Editor, Sidekick, atau EDLIN, akan diterjemahkan oleh ASM51 ke dalam bentuk *object code* yang dapat dilokasikan kembali dan dihasilkan sebuah *file* objek dengan inisial .OBJ. Selain itu ASM51 juga menghasilkan sebuah *file listing* dengan inisial .LST yang memperlihatkan hasil terjemahan tersebut. File .LST inilah yang akan dilihat jika terjadi kesalahan penulisan program, sehingga tidak dapat dikompilasi.

II.2.7.2 Relocation And Linkage (RL51)

File objek .OBJ yang sudah berhasil dikompilasi akan diproses oleh RL51. RL51 akan menandai atau menempatkan segmen-segmen ke suatu lokasi memori. RL51

menghasilkan sebuah objek modul yang berisi program yang telah lengkap dan sebuah listing file dengan inisial .M51.

II.2.7.3 Output Hexadecimal (OH)

OH berfungsi untuk mengubah file objek menjadi file berformat heksadesimal dengan inisial .HEX. File dengan inisial .HEX inilah yang dikonversikan ke file biner sesuai dengan format Intel yang akan diisikan ke dalam EPROM.

BAB III

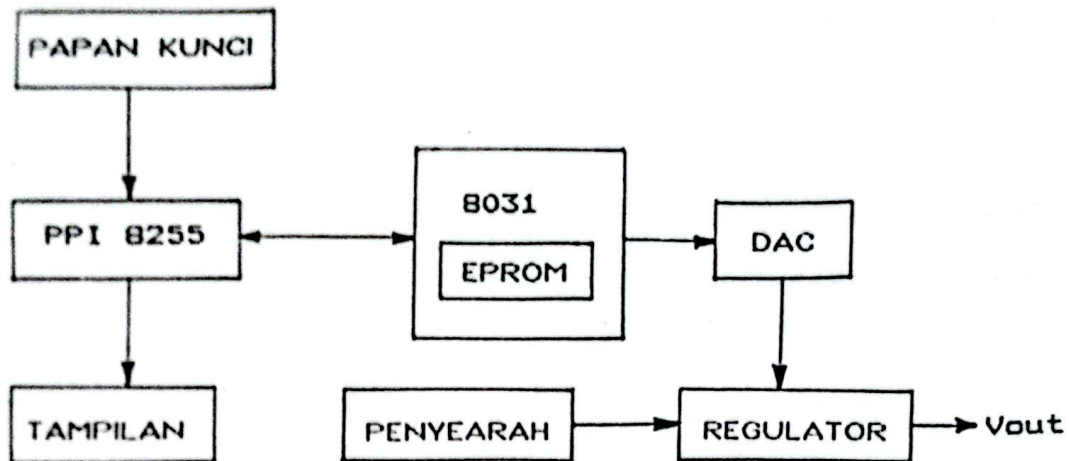
CATU DAYA TERPROGRAM BERBASIS MIKROKONTROLER 8031

Catu daya terprogram berbasis mikrokontroler 8031 ini terdiri atas rangkaian catu daya, rangkaian mikrokontroler 8031, papan kunci, DAC (*Digital to Analog Converter*), dan tampilan.

Mikrokontroler 8031 sebagai pengolah data memungkinkan perubahan besar tegangan referensi regulator dapat dilakukan dengan hanya menekan tombol-tombol *keypad* (papan kunci). Sehingga mengubah besarnya tegangan keluaran catu daya menjadi lebih mudah dan cepat.

Prinsip kerja Catu Daya Terprogram Berbasis Mikrokontroler 8031 dapat diterangkan melalui diagram

blok berikut ini.



Gambar 3.1 Diagram Blok Catu Daya Terprogram Berbasis Mikrokontroler 8031

Besarnya tegangan keluaran catu daya yang diinginkan diketikkan melalui papan kunci. Papan kunci akan mengirimkan data ke salah satu *paralel port* (terminal paralel) yang berfungsi sebagai terminal masukan. Data tersebut akan diolah oleh Mikrokontroler 8031 dengan bantuan perangkat lunak yang disimpan dalam EPROM.

Setelah pemrosesan data, mikrokontroler 8031 akan mengirimkan data yang sesuai dengan data masukan tadi ke Digital to Analog Converter 8 bit. DAC akan mengubah data digital (berupa bit-bit biner) ke dalam besaran tegangan

analog yang akan menjadi tegangan referensi regulator sehingga catu daya dapat mengeluarkan tegangan yang besarnya sama dengan yang diketikkan pada papan kunci.

Selain mengeluarkan data ke DAC, mikrokontroler 8031 juga mengirimkan data ke rangkaian tampilan yang berfungsi menampilkan besar tegangan yang sesuai dengan yang diketikkan pada papan kunci dalam bentuk angka (numerik). Tampilan yang digunakan adalah tiga buah *seven segment* anoda bersama.

Sistem ini tidak dapat mengatasi kesalahan yang ditimbulkan oleh perubahan tegangan input ataupun perubahan tegangan output karena pembebanan yang terlalu besar, karena sistem ini tidak dilengkapi oleh umpan balik dengan penguat kesalahan (*error amplifier*), sehingga kesalahan tersebut tidak dapat dideteksi dan dikoreksi.

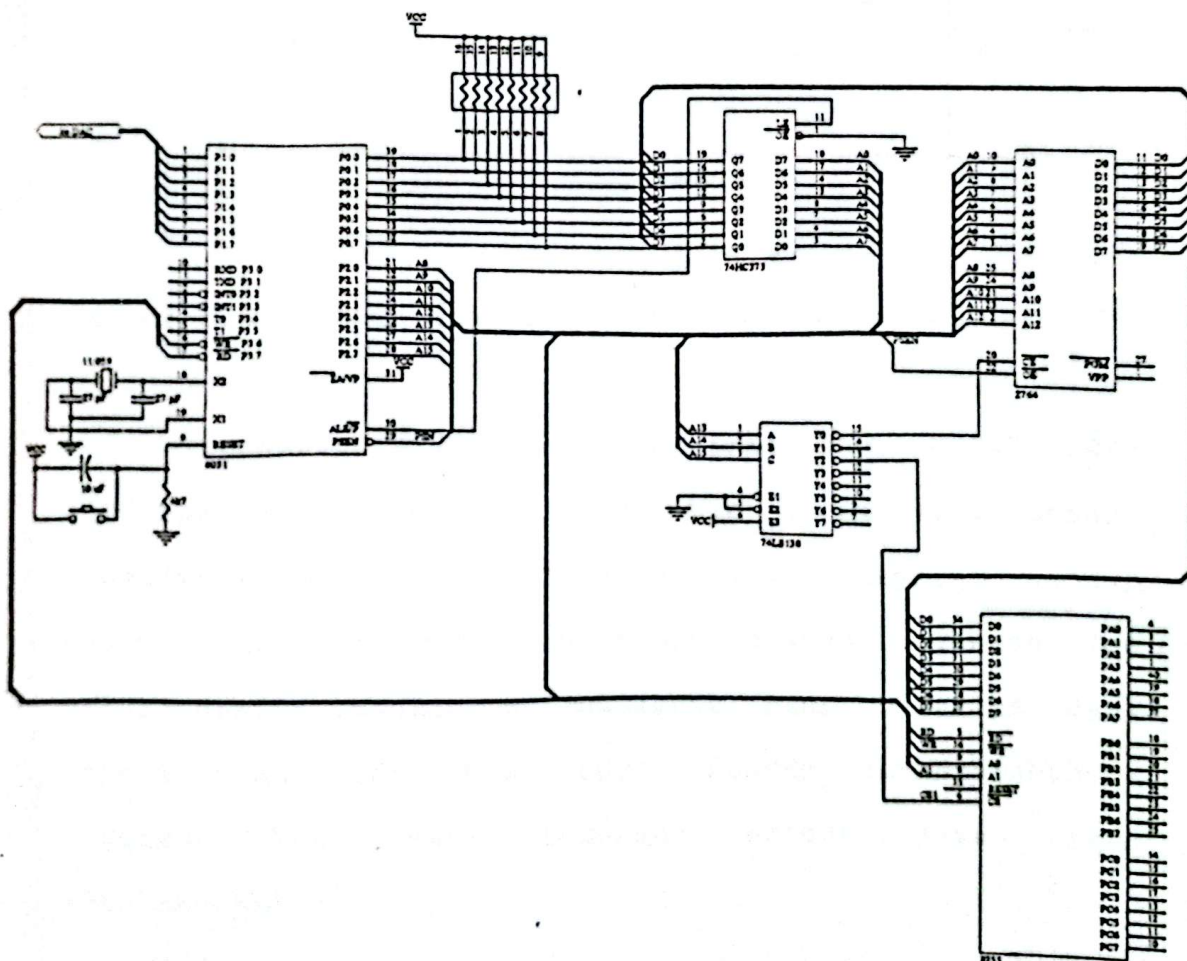
III.1 Perangkat Keras

III.1.1 Rangkaian Mikrokontroler 8031

Gambar 3.2 di bawah ini memperlihatkan rangkaian pengolah data mikrokontroler 8031.

IC mikrokontroler 8031 ini didukung oleh beberapa IC penunjang yang masing-masing mempunyai fungsi tersendiri. IC 74HC373 berfungsi untuk memisahkan alamat

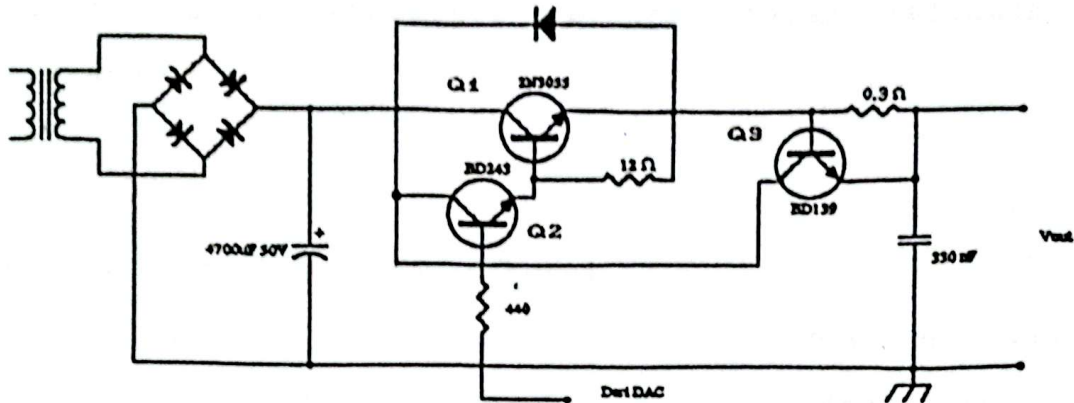
dengan data. IC EPROM 2764 berfungsi sebagai penyimpan program untuk mengaktifkan sistem dengan kapasitas maksimum 8 KByte. IC PPI (Programmable Parallel Interface) 8255 berguna sebagai sarana masukan keluaran (I/O). Sedangkan IC 74LS138 berfungsi sebagai dekoder pemilih alamat EPROM dan PPI. Dimana EPROM mempunyai alamat 0000H dan PPI mempunyai alamat 4000H.



Gambar 3.2 Rangkaian Mikrokontroler 8031

III.1.2 Rangkaian Catu Daya

Rangkaian catu daya yang akan diatur tegangan keluarannya² terlihat pada gambar 3.3 berikut ini.



Gambar 3.3 Rangkaian catu daya yang digunakan

Transistor 2N3055 (Q1) dan transistor BD243 (Q2) berfungsi sebagai penguat arus untuk beban yang besar. Transistor Q1 dan Q2 juga berfungsi seperti sebuah tahanan variabel yang akan mengubah-ubah tegangan Vce sesuai dengan masukan ke basisnya yang diterima dari emitor transistor BD243 (Q2). Dengan berubah-ubahnya tegangan Vce, maka tegangan output juga akan berubah-ubah.

²Aneka Catu Daya, Yayasan Pembina Pendidikan Elektronika "Binatronika"

Sedangkan transistor BD139 (Q3) berfungsi sebagai proteksi beban lebih, karena jika terjadi beban oatu daya terlalu banyak dan arusnya membesar tidak akan merusak rangkaian regulatornya. Sedangkan dioda berguna sebagai pengaman, jika jalan keluar terhubung singkat maka buangan muatan kapasitor keluaran tidak melintas ke regulator.

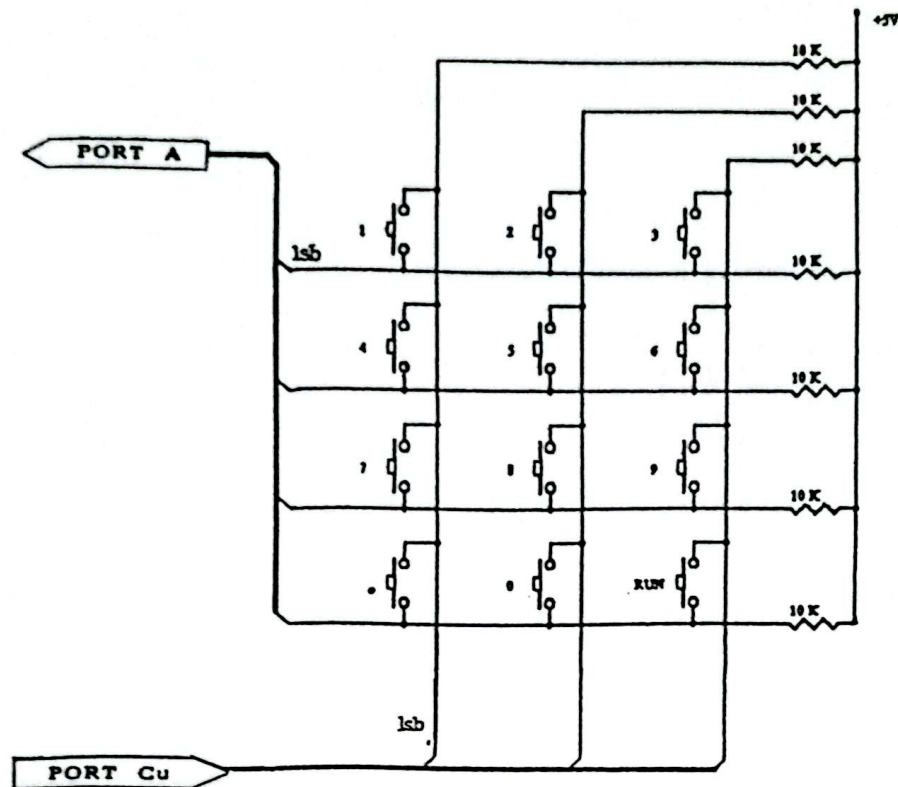
III.1.3 Rangkaian Papan Kunci

Rangkaian papan kunci yang digunakan adalah rangkaian papan kunci berbentuk matriks 4x3, dengan 4 baris dan 3 kolom. Rangkaian papan kunci diperlihatkan pada gambar 3.4.

Papan kunci mewakili angka-angka dari 0 sampai 9, kunci REPEAT, dan kunci RUN . Baris-baris matriks dihubungkan ke port PA0 - PA3. Sedangkan kolomnya dihubungkan ke port PC4 - PC7.

Prinsip kerjanya sebagai berikut, jika tombol tidak ada yang ditekan maka masukan baris ke PA0 - PA3 akan berlogik *high* ("1") karena adanya resistor *pull-up* 10 K. Sedangkan PC4 - PC7 akan mengeluarkan data biner yang menentukan logik kolom apakah 1 atau 0.

Sebagai contoh, jika keluaran PC4 berlogik 0 sedangkan PC5 - PC6 berlogik 1, dan jika tombol 4



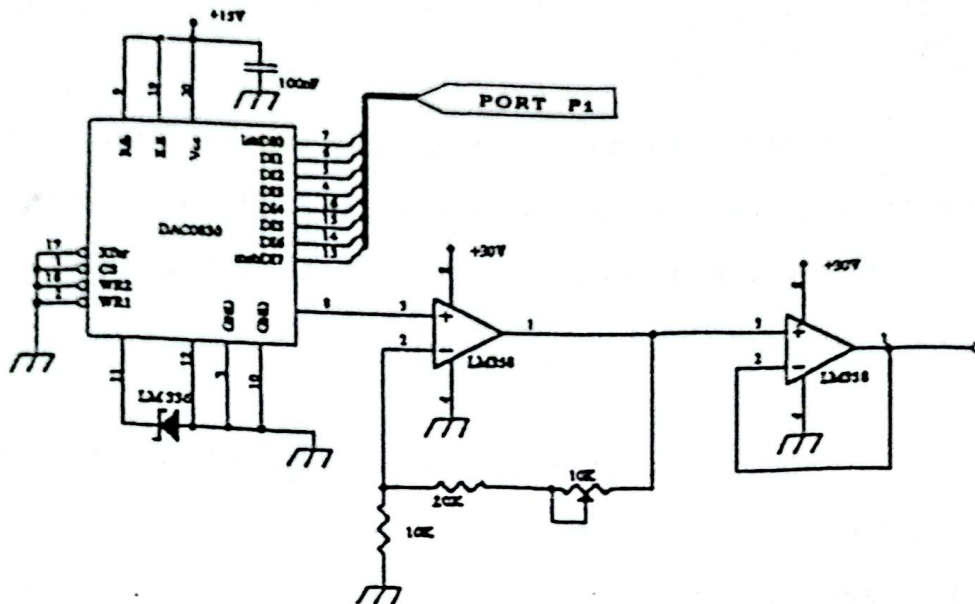
Gambar 3.4 Rangkaian papan kunci

ditekan maka PA1 akan berlogik 0 juga. Dengan demikian didapat kombinasi bit-bit biner 1011 yang mewakili kunci 4 dan bit-bit tersebut akan masuk ke mikrokontroler melalui PA0 - PA3 tersebut.

III.1.4 Rangkaian Digital To Analog Converter

Digital to Analog Converter yang digunakan adalah DAC 0830. Semikonduktor produksi National Semiconductor ini akan mengubah data digital yang diperoleh dari mikrokontroler menjadi besaran tegangan analog.

Gambar 3.5 memperlihatkan rangkaian DAC yang



Gambar 3.5 Rangkaian *Digital to Analog Converter*

digunakan, merupakan rangkaian dasar yang diberikan oleh National Semiconductor.

Pin-pin Xfer, CS, WR1, WR2 dan ILE akan menentukan mode operasi DAC 0830 ini. Jika Xfer, CS, WR1, WR2 ditanahkan karena aktif *low*, dan ILE dicatu sama dengan Vcc (+15 V) maka DAC 0830 ini akan mentransfer setiap perubahan bit-bit biner yang diterima ke dalam bentuk tegangan analog secara kontinu. LM336 di sini digunakan sebagai referensi tegangan (+5V).

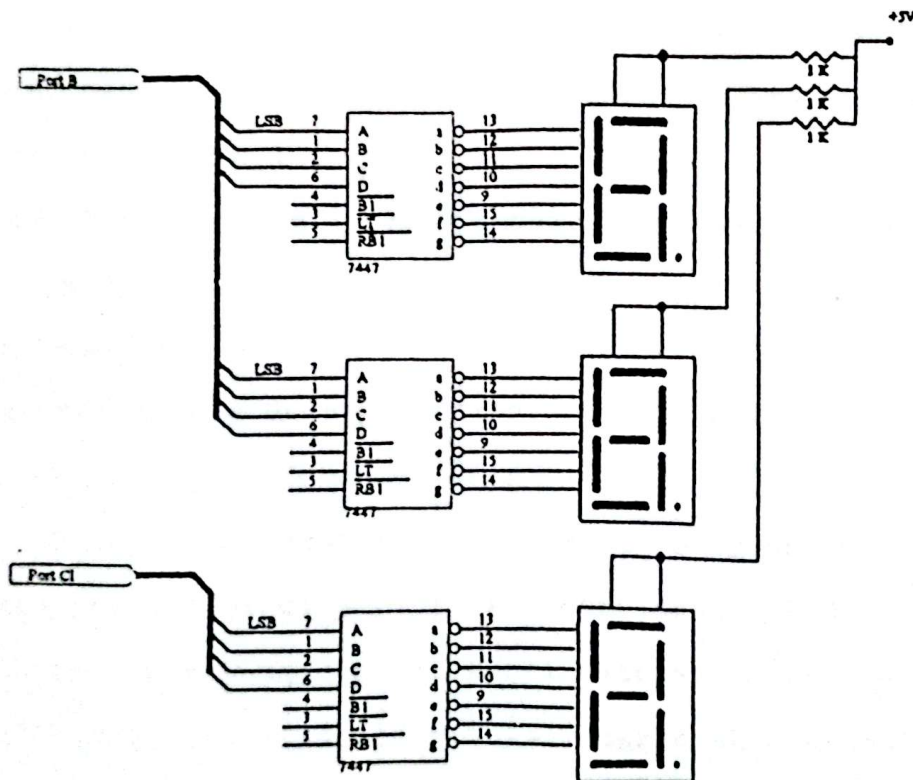
Tegangan keluaran maksimum DAC 0830 ini adalah +5V, yang sebanding dengan data FF H pada masukannya. Sedangkan tegangan keluaran minimumnya adalah 0V, yang sebanding dengan data 00 H pada masukannya. Jadi resolusi DAC 0830 ini adalah 19,6 mV perbit.

Op-amp LM 358 membentuk sebuah penguat *non*

inverting yang menguatkan keluaran DAC sebesar 5 kali. Sedangkan op-amp berikutnya adalah sebagai penyangga agar rangkaian DAC tidak terbebani oleh rangkaian regulator.

III.1.5 Rangkaian Tampilan (Display)

Tampilan yang digunakan adalah tiga buah *seven segment* anoda bersama yang didukung oleh IC 7447 dekoder BCD ke *seven segment*.



Gambar 3.7 Rangkaian Tampilan

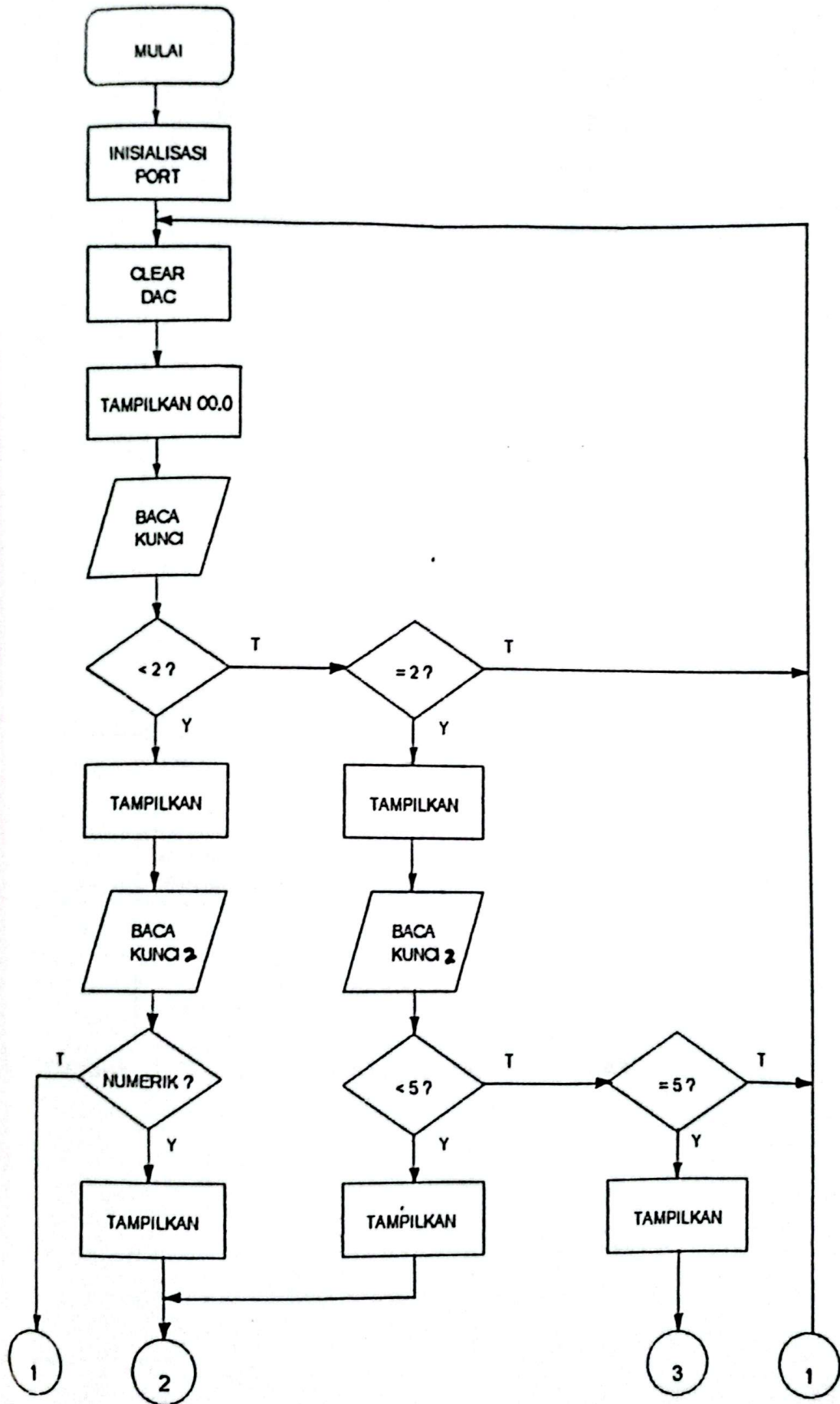
Data dari mikrokontroler yang melalui port PBO - PB7, dan PC0 - PC4 akan digunakan untuk menggerakkan ke tiga *seven segment* sesuai dengan data yang dikirimkan tadi. Data tersebut merupakan data *Binary Code Decimal* yang masing-masing terdiri atas empat bit biner. Misalkan untuk menampilkan angka 5 desimal pada *seven segment* maka data yang dikirimkan adalah 0101.

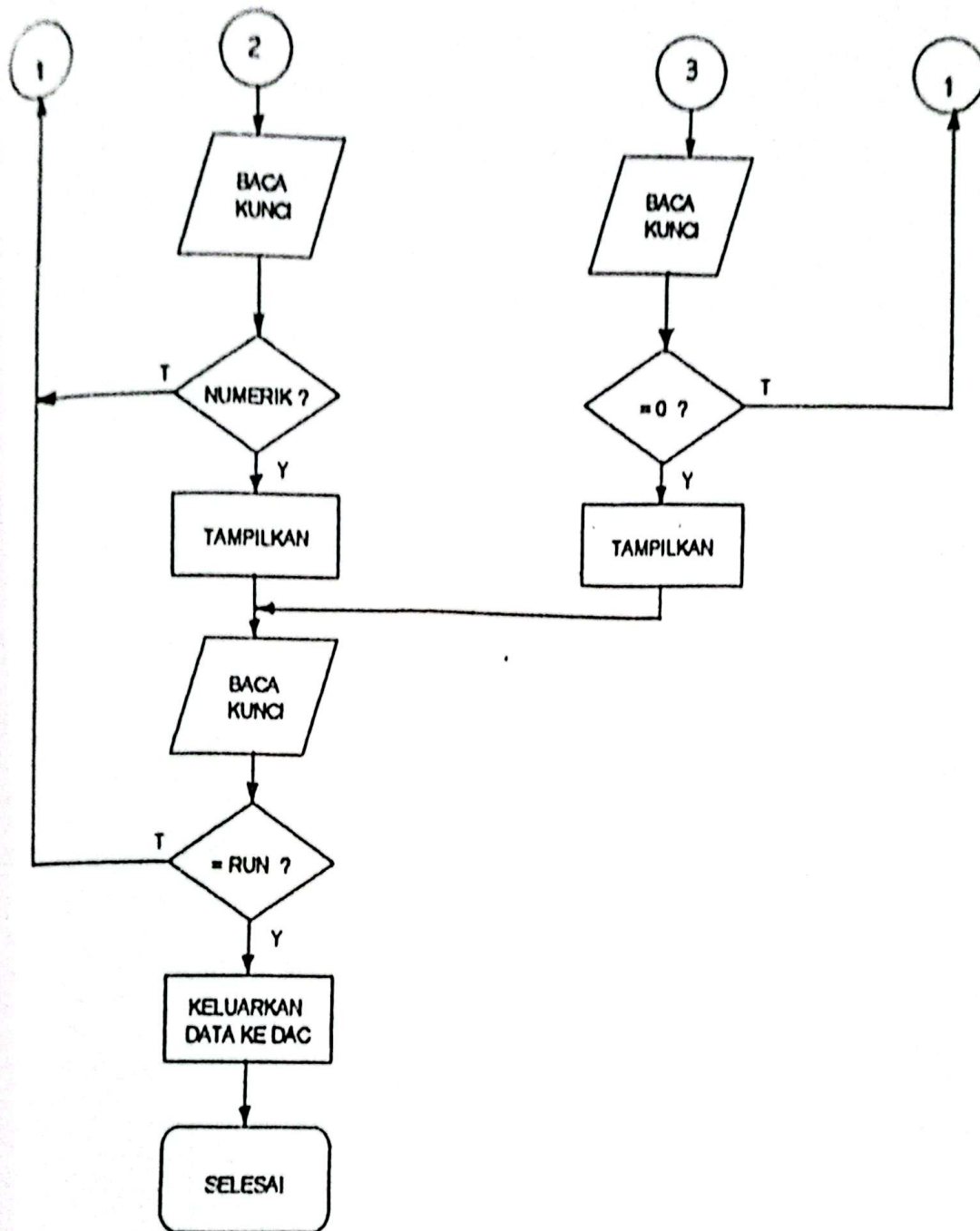
III.2 Perangkat Lunak

Perangkat lunak yang digunakan dibuat dengan bahasa pemrograman assembly ASM51. Fungsi utama perangkat lunak ini adalah :

1. Menerima data dari papan kunci yang berisi besarnya tegangan keluaran yang diinginkan.
2. Menampilkan data pada tampilan.
3. Mengolah data untuk kemudian dikirimkan ke DAC.

Pada saat sistem dinyalakan, program melakukan inisialisasi. Kemudian program menampilkan 0 0. 0 pada tampilan dan menunggu papan kunci ditekan. Jika penekanan kunci tidak sesuai prosedur maka program akan kembali ke awal. Jika penekanan kunci sesuai prosedur maka setelah penekanan kunci RUN data akan diolah dan dikirimkan ke DAC.





Gambar 3.7 Diagram alir perangkat lunak

BAB IV

PENGUJIAN

Pengujian dilakukan dengan membandingkan tampilan dengan hasil pengukuran dengan menggunakan voltmeter (multimeter) digital merek Aaron type M-838 dengan sensitivitas 20Kohm/VDC. Pengukuran dilakukan pada skala penuh 200 VDC. Hasil pengukuran terlihat pada tabel 4.1.

Terdapat selisih antara tampilan dan hasil pengukuran yang disebabkan karena voltmeter menimbulkan efek pembebanan³ (*loading effect*) terhadap rangkaian. Perhitungan kesalahan karena efek pembebanan voltmeter adalah sebagai berikut :

Voltmeter membaca 14,9 V , pada saat dihubungkan dengan ujung-ujung sebuah tahanan. Mikroampere meter

³⁾ *Electronic Instrumentation and Measurement*, Cooper, William D.

Tabel 4.1 Hasil pengukuran

Tampilan (VDC)	Pengukuran (VDC)
00.0	00.0
01.0	00.7
02.0	01.7
03.0	02.7
04.0	03.7
05.0	04.8
06.0	05.8
07.0	06.8
08.0	07.8
09.0	08.9
10.0	09.9
11.0	10.9
12.0	11.9
13.0	12.9
14.0	13.9
15.0	14.9
16.0	16.0
17.0	17.0
18.0	18.0
19.0	19.0
20.0	20.0
21.0	21.0
22.0	22.0
23.0	23.0
24.0	24.0
25.0	25.0
25.5	25.5

dihubungkan secara seri dengan tahanan tersebut, dan terbaca sebesar $95 \mu\text{A}$. Dengan mengabaikan tahanan mikroampere meter, maka tahanan tersebut besarnya :

$$R = \frac{14,9 \text{ V}}{95 \mu\text{A}} = 156,8 \text{ Kohm}$$

Tahanan voltmeter adalah :

$$R_v = 20 \text{ Kohm/V} \times 200 \text{ V} = 4 \text{ Mohm}$$

Karena voltmeter paralel dengan tahanan, maka dapat dituliskan :

$$R_p = \frac{R \times R_p}{R + R_p} = \frac{156,8 \times 4000}{156,8 + 4000} \text{ Kohm} = 150,9 \text{ Kohm}$$

Maka persentase kesalahan adalah :

$$\frac{156,8 - 150,9}{156,8} \times 100\% = 3,76 \%$$

Pengujian juga dilakukan dengan pembebanan, beban yang digunakan adalah motor DC 9V. Terdapat penurunan tegangan sebesar 0,3 V akibat pembebanan tersebut.

BAB V

KESIMPULAN

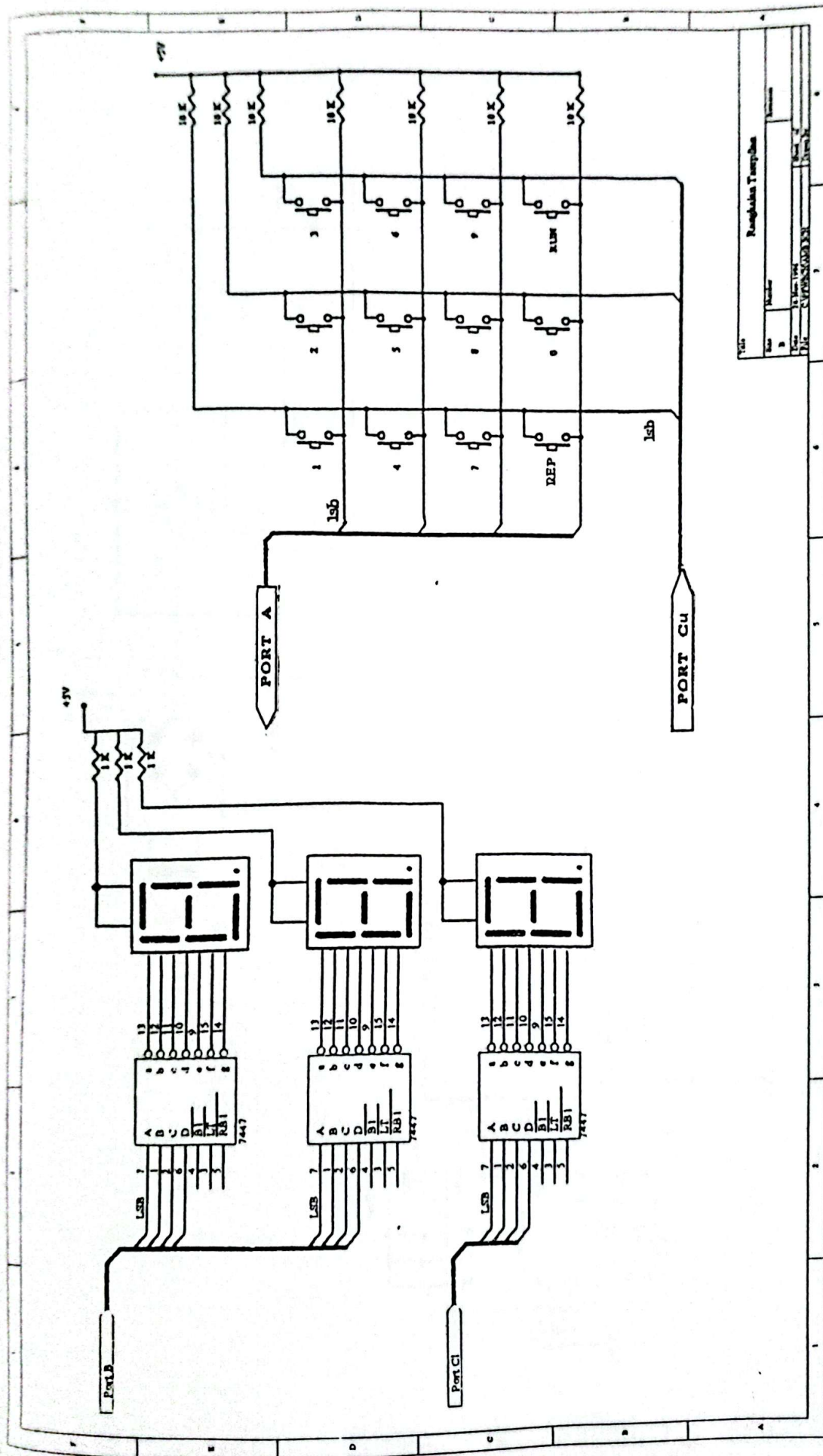
Kesimpulan yang didapat dari tugas akhir ini, antara lain :

1. Perubahan tegangan keluaran terkecil atau daya ini adalah 0,1 V , dengan tegangan keluaran maksimum 25,5 V.
2. Terdapat kesalahan pengukuran sebesar 3,78 persen karena efek pembebanan voltmeter.
3. Catu daya ini tidak dapat mendeteksi perubahan tegangan masukan maupun tegangan keluarannya karena catu daya ini tidak dilengkapi dengan umpan balik dengan penguat kesalahan (*error amplifier*).

DAFTAR PUSTAKA

- [Bina] *Aneka Catu Daya*, Yayasan Pembina Pendidikan Elektronika "Binatronika"
- [Ayal91] Ayala, Kenneth J, *The 8051 Mikrokontroller : Architecture, Programming and Applications*, St Paul : West Publishing Company, 1991
- [Bohn77] Bohn, Dennis, *Operational Amplifier Handbook*, Santa Clara : National Semiconductor Corporation, 1977.
- [Gilm89] Gilmore, Charles M, *Microprocessors : Principles and Applications*, New York : Mc Graw Hill, 1989
- [Ibra79] Ibrahim, KF, *Electronic System and Technology*, Singapore : Pitman Publishing Ltd, 1979
- [Coop78] Cooper, William D, *Electronic Instrumentation and Measurement, 2nd Edition*, New Jersey : Prentice-Hall Inc., 1978

LAMPIRAN



Perangkat Lunak Catu daya Terprogram Berbasis Mikrokontroler
8031

```

;*****
;program untuk "programmable power supply *
;unit berbasis mikrokontroler 8031" *
;*****
org 00h
jmp mulai
org 50h
mulai:
;
;*****
; control word untuk ppi 8255 *
;*****
mov dptr,#cw
mov a,#90h
movx @dptr,a
;
;*****
; clear dac *
;*****
start:
mov r0,#00h
mov r1,#00h
mov r2,#00h
mov a,#00h
mov pl,a
;
;*****
; tampilkan "0 0. 0" *
;*****
mov dptr,#portb
mov a,#00h
movx @dptr,a
mov dptr,#portc
mov a,#00h
movx @dptr,a
;
;*****
; program utama *
;*****
call delay
call inputkey
cjne a,#00h,lanjut
mov r0,a
call display1
call delay
call inputkey
cjne a,#0ah,lanjut1
ljmp error
lanjut1:
cjne a,#0bh,lanjut2
ljmp error
lanjut2:
mov r1,a
call display2
```

```

        ljmp lanjut6
lanjut1:  cjne a,#01h,lanjut5
        mov r0,a
        call display1
        call delay
        call inputkey
        cjne a,#0ah,lanjut3
        ljmp error
lanjut3:  cjne a,#0bh,lanjut4
        ljmp error
lanjut4:  mov r1,a
        call display2
        ljmp lanjut6
lanjut5:  cjne a,#02h,loncat
        mov r0,a
        call display1
        call delay
        call inputkey
        cjne a,#00h,check1
        mov r1,a
        call display2
        ljmp lanjut6
loncat:  ;
        ljmp error
        ;
check1:  cjne a,#01h,check2
        mov r1,a
        call display2
        ajmp lanjut6
check2:  cjne a,#02h,check3
        mov r1,a
        call display2
        ajmp lanjut6
check3:  cjne a,#03h,check4
        mov r1,a
        call display2
        ajmp lanjut6
check4:  cjne a,#04h,check5
        mov r1,a
        call display2
        ajmp lanjut6
check5:  cjne a,#05h,loncat2
        mov r1,a
        call display2
        call delay
        call inputkey
        cjne a,#00h,check51
        mov r2,a
        call display3
        ajmp lanjut7

```

```

loncat2:      ;
              ajmp error
              ;
check51:     cjne a,#01h,check52
              mov r2,a
              call display3
              ajmp lanjut7
check52:     cjne a,#02h,check53
              mov r2,a
              call display3
              ajmp lanjut7
check53:     cjne a,#03h,check54
              mov r2,a
              call display3
              ajmp lanjut7
check54:     cjne a,#04h,check55
              mov r2,a
              call display3
              ajmp lanjut7
check55:     cjne a,#05h,error
              mov r2,a
              call display3
              ajmp lanjut7
lanjut6:     call delay
              call inputkey
              cjne a,#0ah,kurt1
              ljmp error
kurt1:      cjne a,#0bh,kurt2
              ljmp error
kurt2:      mov r2,a
              call display3
lanjut7:     call delay
              call inputkey
              cjne a,#0bh,error
              mov a,r0
              mov b,#64h
              mul ab
              mov r6,a
              mov a,r1
              mov b,#0ah
              mul ab
              add a,r6
              add a,r2
              mov p1,a
              call delay
              call inputkey
              cjne a,#0ah,error
              ljmp start
              ajmp selesai
              ;

```

```

error:      ljmp start
            |
            |*****
            |  subroutine pembacaan keypad      *
            |*****
inputkey:   mov dptr,#portc
            mov a,r2
            anl a,#0fh
            mov r2,a
            mov a,#0d0h
            add a,r2
            movx @dptr,a
            mov dptr,#porta
            movx a,@dptr
            anl a,#1fh
            cjne a,#1eh,next1
            ajmp satu
next1:      cjne a,#1dh,next2
            ajmp empat
next2:      cjne a,#1bh,next3
            ajmp tujuh
next3:      cjne a,#17h,kolom2
            ajmp repeat
kolom2:     mov dptr,#portc
            mov a,r2
            anl a,#0fh
            mov r2,a
            mov a,#0b0h
            add a,r2
            movx @dptr,a
            mov dptr,#porta
            movx a,@dptr
            anl a,#1fh
            cjne a,#1eh,next4
            ajmp dua
next4:      cjne a,#1dh,next5
            ajmp lima
next5:      cjne a,#1bh,next6
            ajmp delapan
next6:      cjne a,#17h,kolom3
            ajmp nol
kolom3:     mov dptr,#portc
            mov a,r2
            anl a,#0fh
            mov r2,a
            mov a,#070h
            add a,r2
            movx @dptr,a
            mov dptr,#porta
            movx a,@dptr

```

```

                                anl a,#1fh
                                cjne a,#1eh,next7
                                ajmp tiga
next7:                          cjne a,#1dh,next8
                                ajmp enam
next8:                          cjne a,#1bh,next9
                                ajmp sembilan
next9:                          cjne a,#17h,inputkey
                                ajmp run
satu:                           mov a,#01h
                                ajmp akhirsu
dua:                             mov a,#02h
                                ajmp akhirsu
tiga:                            mov a,#03h
                                ajmp akhirsu
empat:                           mov a,#04h
                                ajmp akhirsu
lima:                             mov a,#05h
                                ajmp akhirsu
enam:                             mov a,#06h
                                ajmp akhirsu
tujuh:                           mov a,#07h
                                ajmp akhirsu
delapan:                         mov a,#08h
                                ajmp akhirsu
sembilan:                        mov a,#09h
                                ajmp akhirsu
nol:                             mov a,#00h
                                ajmp akhirsu
repeat:                          mov a,#0ah
                                ajmp akhirsu
run:                              mov a,#0bh
akhirsu:                          ret
;
;*****
;          subroutine display1          *
;*****
display1:                        mov dptr,#portb
                                mov a,r0
                                anl a,#0fh
                                movx @dptr,a
                                ret
;
;*****
;          subroutine display2          *
;*****
display2:                        mov dptr,#portb
                                mov a,r1
                                r1 a
                                r1 a

```



```

    r1 a
    r1 a
    anl a,#0f0h
    add a,r0
    movx @dptr,a
    ret
;
;*****
;          subroutine display3          *
;*****
display3:  mov dptr,#portc
           mov a,r2
           anl a,#0ffh
           movx @dptr,a
           ret
;
;*****
;          subroutine delay          *
;*****
delay:    mov r3,#03h
again2:   mov r4,#0ffh
again1:   mov r5,#0ffh
again:    djnz r5,again
           djnz r4,again1
           djnz r3,again2
           ret
selesai:  sjmp $
;
porta    equ 4000h
portb    equ 4001h
portc    equ 4002h
cw       equ 4003h
end

```



ARCHITECTURAL OVERVIEW OF THE MCS[®]-51 FAMILY OF MICROCONTROLLERS

INTRODUCTION

The 8051 is the original member of the MCS[®]-51 family, and is the core for all MCS-51 devices. The features of the 8051 core are:

- 8-bit CPU optimized for control applications
- Extensive Boolean processing (single-bit logic) capabilities
- 64K Program Memory address space
- 64K Data Memory address space
- 4K bytes of on-chip Program Memory
- 128 bytes of on-chip Data RAM
- 32 bidirectional and individually addressable I/O lines
- Two 16-bit timer/counters
- Full duplex UART
- 6-source/5-vector interrupt structure with two priority levels
- On-chip clock oscillator

The basic architectural structure of this 8051 core is shown in Figure 1.

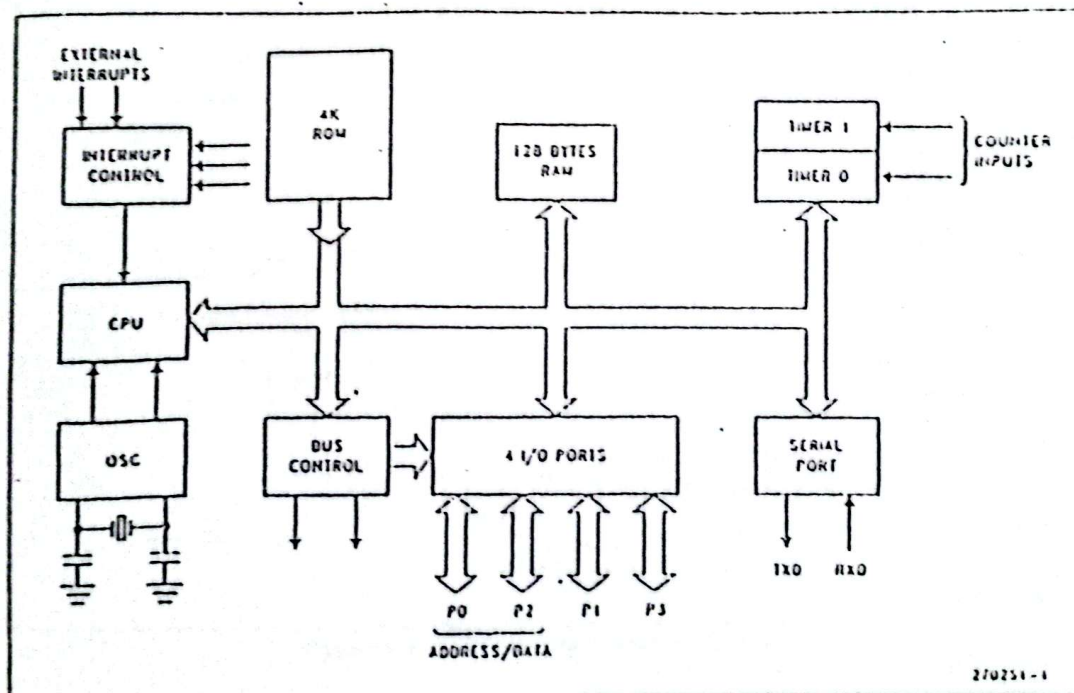


Figure 1. Block Diagram of the 8051 Core

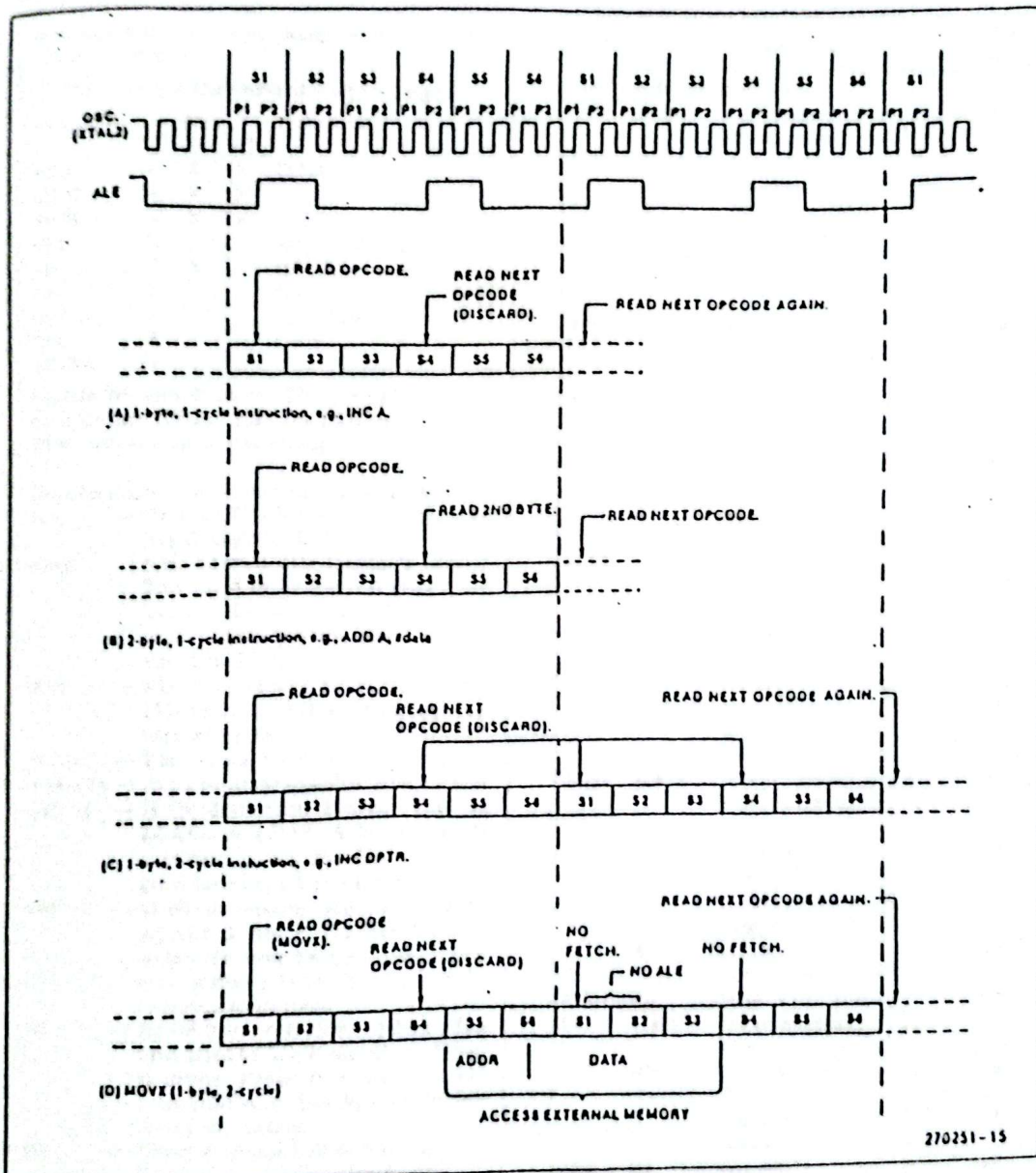


Figure 15. State Sequences in MCS[®]-51 Devices

270251-15

MCS[®]-51 INSTRUCTION SET

Table 10. 8051 Instruction Set Summary

Interrupt Response Time: Refer to Hardware Description Chapter.

Instructions that Affect Flag Settings(1)

Instruction	Flag			Instruction	Flag		
	C	OV	AC		C	OV	AC
ADD	X	X	X	CLRC	0		
ADDC	X	X	X	CPLC	X		
SUBB	X	X	X	ANL C,bit	X		
MUL	0	X		ANL C,/bit	X		
DIV	0	X		ORL C,bit	X		
DA	X			ORL C,bit	X		
RRC	X			MOV C,bit	X		
RLC	X			CJNE	X		
SETB C	.1						

(1) Note that operations on SFR byte address 208 or bit addresses 209-215 (i.e., the PSW or bits in the PSW) will also affect flag settings.

Note on instruction set and addressing modes:

- Rn — Register R7–R0 of the currently selected Register Bank.
- direct — 8-bit internal data location's address. This could be an Internal Data RAM location (0–127) or a SFR [i.e., I/O port, control register, status register, etc. (128–255)].
- @Ri — 8-bit internal data RAM location (0–255) addressed indirectly through register R1 or R0.
- #data — 8-bit constant included in instruction.
- #data 16 — 16-bit constant included in instruction.
- addr 16 — 16-bit destination address. Used by LCALL & LJMP. A branch can be anywhere within the 64K-byte Program Memory address space.
- addr 11 — 11-bit destination address. Used by ACALL & AJMP. The branch will be within the same 2K-byte page of program memory as the first byte of the following instruction.
- rel — Signed (two's complement) 8-bit offset byte. Used by SJMP and all conditional jumps. Range is –128 to +127 bytes relative to first byte of the following instruction.
- bit — Direct Addressed bit in Internal Data RAM or Special Function Register.

Mnemonic	Description	Byte	Oscillator Period
ARITHMETIC OPERATIONS			
ADD A,Rn	Add register to Accumulator	1	12
ADD A,direct	Add direct byte to Accumulator	2	12
ADD A,@Ri	Add indirect RAM to Accumulator	1	12
ADD A,#data	Add immediate data to Accumulator	2	12
ADDC A,Rn	Add register to Accumulator with Carry	1	12
ADDC A,direct	Add direct byte to Accumulator with Carry	2	12
ADDC A,@Ri	Add indirect RAM to Accumulator with Carry	1	12
ADDC A,#data	Add immediate data to Acc with Carry	2	12
SUBB A,Rn	Subtract Register from Acc with borrow	1	12
SUBB A,direct	Subtract direct byte from Acc with borrow	2	12
SUBB A,@Ri	Subtract indirect RAM from ACC with borrow	1	12
SUBB A,#data	Subtract immediate data from Acc with borrow	2	12
INC A	Increment Accumulator	1	12
INC Rn	Increment register	1	12
INC direct	Increment direct byte	2	12
INC @Ri	Increment direct RAM	1	12
DEC A	Decrement Accumulator	1	12
DEC Rn	Decrement Register	1	12
DEC direct	Decrement direct byte	2	12
DEC @Ri	Decrement indirect RAM	1	12

All mnemonics copyrighted © Intel Corporation 1980

Table 10. 8051 Instruction Set Summary (Continued)

Mnemonic	Description	Byte	Oscillator Period	Mnemonic	Description	Byte	Oscillator Period
ARITHMETIC OPERATIONS (Continued)				LOGICAL OPERATIONS (Continued)			
INC DPTR	Increment Data Pointer	1	24	RL A	Rotate Accumulator Left	1	12
MUL AB	Multiply A & B	1	48	RLC A	Rotate Accumulator Left through the Carry	1	12
DIV AB	Divide A by B	1	48	RR A	Rotate Accumulator Right	1	12
DA A	Decimal Adjust Accumulator	1	12	RRC A	Rotate Accumulator Right through the Carry	1	12
LOGICAL OPERATIONS				SWAP A	Swap nibbles within the Accumulator	1	12
ANL A,Rn	AND Register to Accumulator	1	12	DATA TRANSFER			
ANL A,direct	AND direct byte to Accumulator	2	12	MOV A,Rn	Move register to Accumulator	1	12
ANL A,@Ri	AND Indirect RAM to Accumulator	1	12	MOV A,direct	Move direct byte to Accumulator	2	12
ANL A,#data	AND Immediate data to Accumulator	2	12	MOV A,@Ri	Move Indirect RAM to Accumulator	1	12
ANL direct,A	AND Accumulator to direct byte	2	12	MOV A,#data	Move Immediate data to Accumulator	2	12
ANL direct,#data	AND Immediate data to direct byte	3	24	MOV Rn,A	Move Accumulator to register	1	12
ORL A,Rn	OR register to Accumulator	1	12	MOV Rn,direct	Move direct byte to register	2	24
ORL A,direct	OR direct byte to Accumulator	2	12	MOV Rn,#data	Move Immediate data to register	2	12
ORL A,@Ri	OR Indirect RAM to Accumulator	1	12	MOV direct,A	Move Accumulator to direct byte	2	12
ORL A,#data	OR Immediate data to Accumulator	2	12	MOV direct,Rn	Move register to direct byte	2	24
ORL direct,A	OR Accumulator to direct byte	2	12	MOV direct,direct	Move direct byte to direct	3	24
ORL direct,#data	OR Immediate data to direct byte	3	24	MOV direct,@Ri	Move Indirect RAM to direct byte	2	24
XRL A,Rn	Exclusive-OR register to Accumulator	1	12	MOV direct,#data	Move Immediate data to direct byte	3	24
XRL A,direct	Exclusive-OR direct byte to Accumulator	2	12	MOV @Ri,A	Move Accumulator to Indirect RAM	1	12
XRL A,@Ri	Exclusive-OR Indirect RAM to Accumulator	1	12				
XRL A,#data	Exclusive-OR Immediate data to Accumulator	2	12				
XRL direct,A	Exclusive-OR Accumulator to direct byte	2	12				
XRL direct,#data	Exclusive-OR Immediate data to direct byte	3	24				
CLR A	Clear Accumulator	1	12				
CPL A	Complement Accumulator	1	12				

All mnemonics copyrighted ©Intel Corporation 1980

Table 10. 8051 Instruction Set Summary (Continued)

Mnemonic	Description	Byte	Oscillator Period
DATA TRANSFER (Continued)			
MOV @Ri, direct	Move direct byte to Indirect RAM	2	24
MOV @Ri, #data	Move Immediate data to Indirect RAM	2	12
MOV DPTR, #data16	Load Data Pointer with a 16-bit constant	3	24
MOVC A, @A + DPTR	Move Code byte relative to DPTR to Acc	1	24
MOVC A, @A + PC	Move Code byte relative to PC to Acc	1	24
MOVX A, @RI	Move External RAM (8-bit addr) to Acc	1	24
MOVX A, @DPTR	Move External RAM (16-bit addr) to Acc	1	24
MOVX @RI, A	Move Acc to External RAM (8-bit addr)	1	24
MOVX @DPTR, A	Move Acc to External RAM (16-bit addr)	1	24
PUSH direct	Push direct byte onto stack	2	24
POP direct	Pop direct byte from stack	2	24
XCH A, Rn	Exchange register with Accumulator	1	12
XCH A, direct	Exchange direct byte with Accumulator	2	12
XCH A, @RI	Exchange Indirect RAM with Accumulator	1	12
XCHD A, @RI	Exchange low-order Digit Indirect RAM with Acc	1	12
BOOLEAN VARIABLE MANIPULATION			
CLR C	Clear Carry	1	12
CLR bit	Clear direct bit	2	12
SETB C	Set Carry	1	12
SETB bit	Set direct bit	2	12
CPL C	Complement Carry	1	12
CPL bit	Complement direct bit	2	12
ANL C, bit	AND direct bit to CARRY	2	24
ANL C, /bit	AND complement of direct bit to Carry	2	24
ORL C, bit	OR direct bit to Carry	2	24
ORL C, /bit	OR complement of direct bit to Carry	2	24
MOV C, bit	Move direct bit to Carry	2	12
MOV bit, C	Move Carry to direct bit	2	24
JC rel	Jump if Carry is set	2	24
JNC rel	Jump if Carry not set	2	24
JB bit, rel	Jump if direct Bit is set	3	24
JNB bit, rel	Jump if direct Bit is Not set	3	24
JBC bit, rel	Jump if direct Bit is set & clear bit	3	24
PROGRAM BRANCHING			
ACALL addr11	Absolute Subroutine Call	2	24
LCALL addr10	Long Subroutine Call	3	24
RET	Return from Subroutine	1	24
RETI	Return from Interrupt	1	24
AJMP addr11	Absolute Jump	2	24
LJMP addr10	Long Jump	3	24
SJMP rel	Short Jump (relative addr)	2	24

All mnemonics copyrighted © Intel Corporation 1980



MCS-8051 PROGRAMMER'S GUIDE AND INSTRUCTION SET

Table 10. 8051 Instruction Set Summary (Continued)

Mnemonic	Description	Byte	Oscillator Period
PROGRAM BRANCHING (Continued)			
JMP	$\Phi A + DPTR$ Jump indirect relative to the DPTR	1	24
JZ	rel Jump if Accumulator is Zero	2	24
JNZ	rel Jump if Accumulator is Not Zero	2	24
CJNE	A, direct, rel Compare direct byte to Acc and Jump if Not Equal	3	24
CJNE	A, # data, rel Compare Immediate to Acc and Jump if Not Equal	3	24

Mnemonic	Description	Byte	Oscillator Period
PROGRAM BRANCHING (Continued)			
CJNE	Rn, # data, rel Compare Immediate to register and Jump if Not Equal	3	24
CJNE	ΦH , # data, rel Compare Immediate to indirect and Jump if Not Equal	3	24
DJNZ	Rn, rel Decrement register and Jump if Not Zero	2	24
DJNZ	direct, rel Decrement direct byte and Jump if Not Zero	3	24
HOP	No Operation	1	12

All mnemonics copyrighted © Intel Corporation 1989

8255A/8255A-5 PROGRAMMABLE PERIPHERAL INTERFACE

- MCS-85™ Compatible 8255A-5
- 24 Programmable I/O Pins
- Completely TTL Compatible
- Fully Compatible with Intel® Microprocessor Families
- Improved Timing Characteristics
- Direct Bit Set/Reset Capability Easing Control Application Interface
- 40-Pin Dual In-Line Package
- Reduces System Package Count
- Improved DC Driving Capability

The Intel® 8255A is a general purpose programmable I/O device designed for use with Intel® microprocessors. It has 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. In the first mode (MODE 0), each group of 12 I/O pins may be programmed in sets of 4 to be input or output. In MODE 1, the second mode, each group may be programmed to have 8 lines of input or output. Of the remaining 4 pins, 3 are used for handshaking and interrupt control signals. The third mode of operation (MODE 2) is a bidirectional bus mode which uses 8 lines for a bidirectional bus, and 5 lines, borrowing one from the other group, for handshaking.

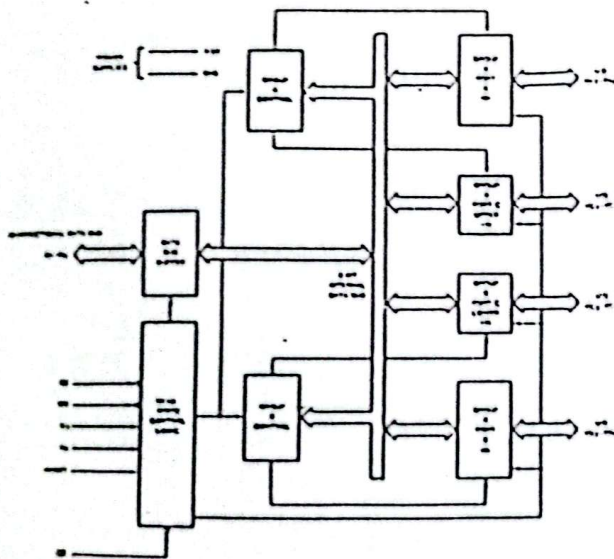


Figure 1. 8255A Block Diagram

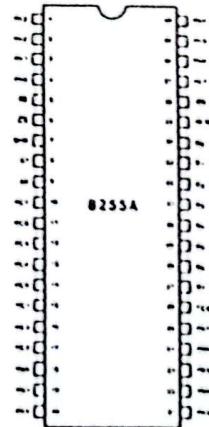


Figure 2. Pin Configuration

8255A/8255A-5 PROGRAMMABLE PERIPHERAL INTERFACE

8255A FUNCTIONAL DESCRIPTION

General

The 8255A is a programmable peripheral interface (PPI) device designed for use in Intel® microcomputer systems. Its function is that of a general purpose I/O component to interface peripheral equipment to the microcomputer system bus. The functional configuration of the 8255A is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

Data Bus Buffer

This 3-state bidirectional 8-bit buffer is used to interface the 8255A to the system data bus. Data is transmitted or received by the buffer upon execution of input or output instructions by the CPU. Control words and status information are also transferred through the data bus buffer.

Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the CPU Address and Control buses and in turn, issues commands to both of the Control Groups.

(CS)

Chip Select. A "low" on this input pin enables the communication between the 8255A and the CPU.

(RD)

Read. A "low" on this input pin enables the 8255A to send the data or status information to the CPU on the data bus. In essence, it allows the CPU to "read from" the 8255A.

(WR)

Write. A "low" on this input pin enables the CPU to write data or control words into the 8255A.

(A₂ and A₁)

Port Select 0 and Port Select 1. These input signals, in conjunction with the RD and WR inputs, control the selection of one of the three ports or the control word registers. They are normally connected to the least significant bits of the address bus (A₂ and A₁).

8255A BASIC OPERATION

A ₂	A ₁	RD	WR	CS	INPUT OPERATION (READ)
0	0	0	1	0	PORT A - DATA BUS
0	1	0	1	0	PORT B - DATA BUS
1	0	0	1	0	PORT C - DATA BUS
					OUTPUT OPERATION (WRITE)
0	0	1	0	0	DATA BUS - PORT A
0	1	1	0	0	DATA BUS - PORT B
1	0	1	0	0	DATA BUS - PORT C
1	1	1	0	0	DATA BUS - CONTROL
					DISABLE FUNCTION
x	x	x	x	1	DATA BUS - 3-STATE
1	1	0	1	0	ILLEGAL CONDITION
x	x	1	1	0	DATA BUS - 3-STATE

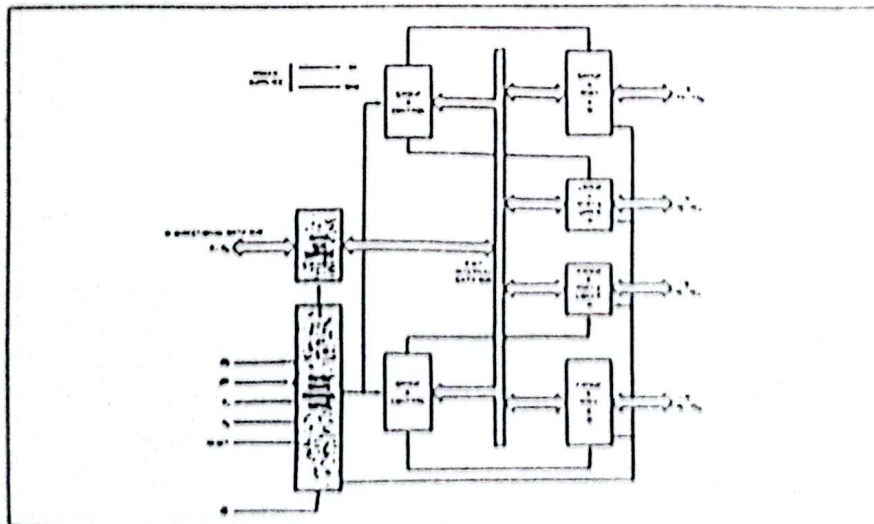


Figure 3. 8255A Block Diagram Showing Data Bus Buffer and Read/Write Control Logic Functions

8255A/8255A-5 PROGRAMMABLE PERIPHERAL INTERFACE

(RESET)

Reset A "high on this input clears the control register and all ports (A, C, C) are set to the input mode.

Group A and Group B Controls

The functional configuration of each port is programmed by the systems software. In essence, the CPU "outputs" a control word to the 8255A. The control word contains information such as "mode", "bit set", "bit reset", etc., that initializes the functional configuration of the 8255A.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

- Control Group A - Port A and Port C upper (C7 C6)
- Control Group B - Port B and Port C lower (C3 C0)

The Control Word Register can Only be written into. No Read operation of the Control Word Register is allowed.

Ports A, B, and C

The 8255A contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software but each has its own special features or "personality" to further enhance the power and flexibility of the 8255A.

Port A. One 8-bit data output latch/buffer and one 8-bit data input latch.

Port B. One 8-bit data input/output latch/buffer and one 8-bit data input buffer.

Port C. One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B.

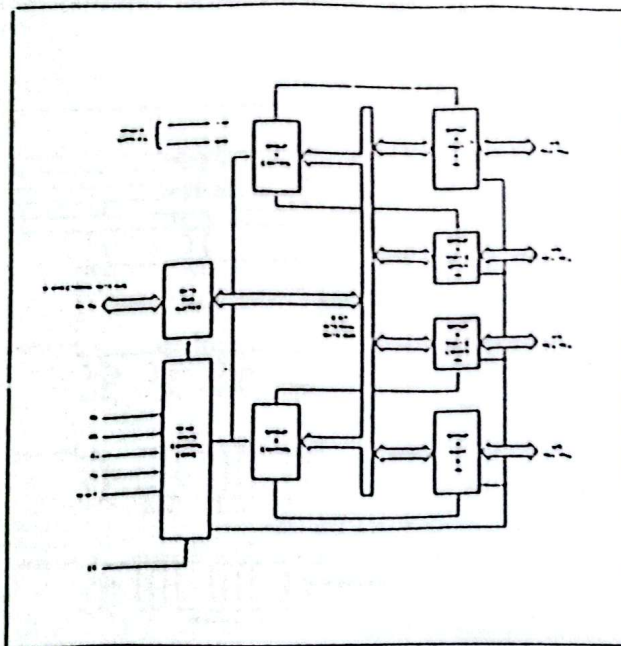
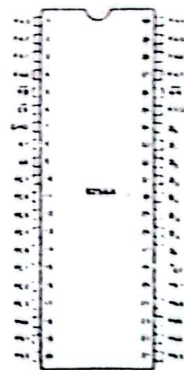


Figure 4. 8255A Block Diagram Showing Group A and Group B Control Functions

PIN CONFIGURATION



PIN NAMES

Pin No.	DATA BUS DIRECTIONALITY
RESET	RESET INPUT
CS	CHIP SELECT
RD	READ INPUT
WR	WRITE INPUT
PA0-PA7	PORT A BUSES
PC0-PC7	PORT C BUSES
PB0-PB7	PORT B BUSES
PC8-PC15	PORT C UPPER
PC16-PC23	PORT C LOWER
V _{CC}	+5 VOLTS
GND	0 VOLTS

8255A/8255A-5 PROGRAMMABLE PERIPHERAL INTERFACE

8255A OPERATIONAL DESCRIPTION

Mode Selection

There are three basic modes of operation that can be selected by the system software:

- Mode 0 - Basic Input/Output
- Mode 1 - Strobed Input/Output
- Mode 2 - Bi-Directional Bus

When the reset input goes "high" all ports will be set to the input mode (i.e., all 24 lines will be in the high impedance state). After the reset is removed the 8255A can remain in the input mode with no additional initialization required. During the execution of the system program any of the other modes may be selected using a single output instruction. This allows a single 8255A to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance; Group B can be programmed in Mode 0 to monitor simple switch closings or display computational results, Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt driven basis.

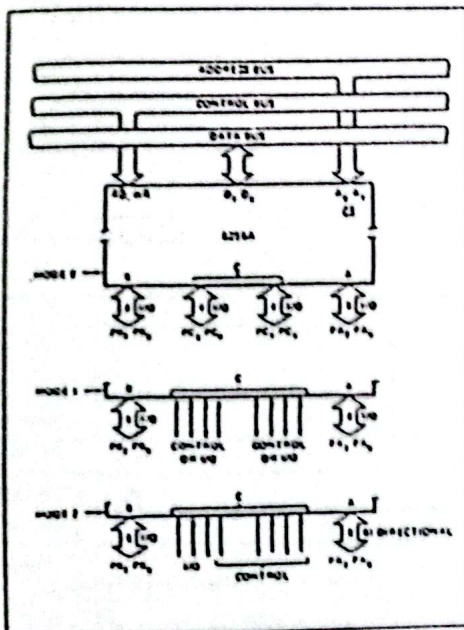


Figure 5. Basic Mode Definitions and Bus Interface

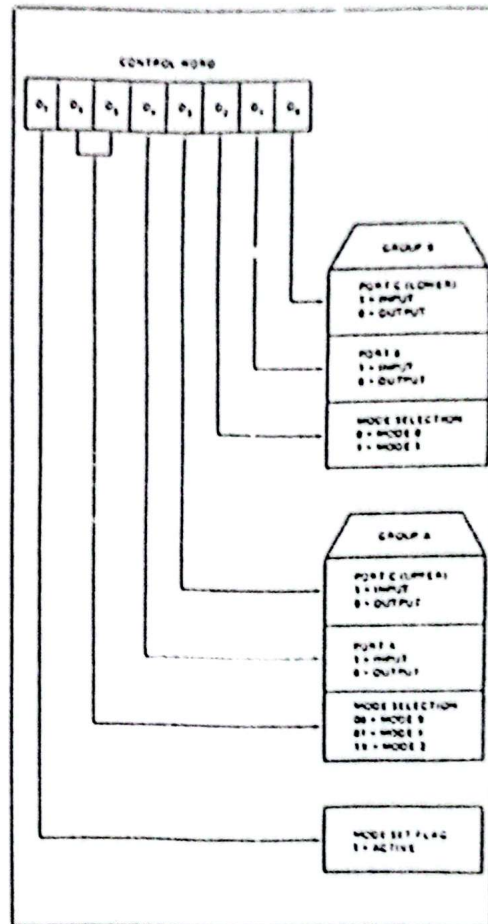


Figure 6. Mode Definition Format

The mode definitions and possible mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 8255A has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset using a single OUTPUT instruction. This feature reduces software requirements in Control based applications.

8255A/8255A-5 PROGRAMMABLE PERIPHERAL INTERFACE

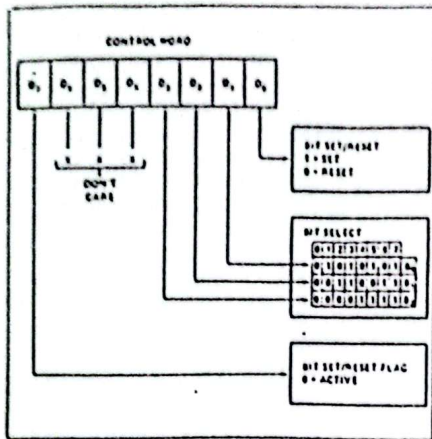


Figure 7. Bit Set/Reset Format

When Port C is being used as status/control for Port A or B, these bits can be set or reset by using the Bit Set/Reset operation just as if they were data output ports.

Interrupt Control Functions

When the 8255A is programmed to operate in mode 1 or mode 2, control signals are provided that can be used as interrupt request inputs to the CPU. The interrupt request signals, generated from port C, can be inhibited or enabled by setting or resetting the associated INTE flip-flop, using the bit set/reset function of port C.

This function allows the Programmer to disallow or allow a specific I/O device to interrupt the CPU without affecting any other device in the interrupt structure.

INTE flip-flop definition:

- (BIT-SET) – INTE is SET – Interrupt enable
- (BIT-RESET) – INTE is RESET – Interrupt disable

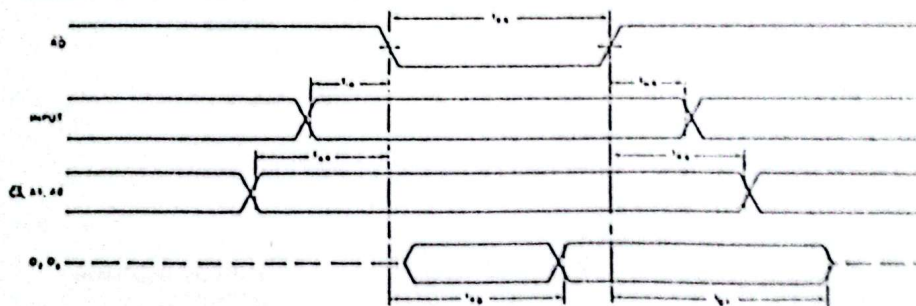
Note: All Mask flip-flops are automatically reset during mode selection and device Reset.

Operating Modes

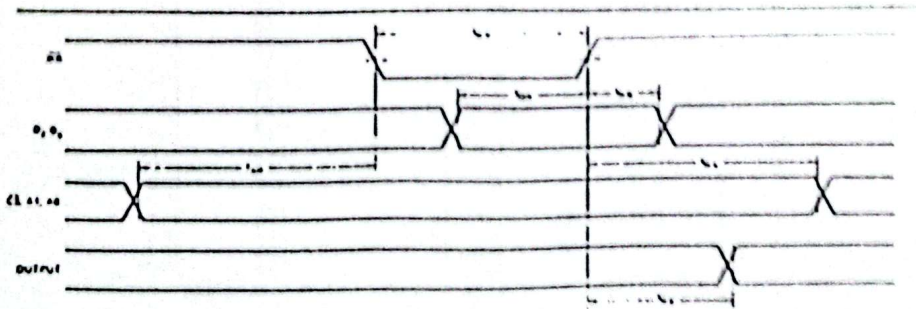
MODE 0 (Basic Input/Output). This functional configuration provides simple Input and output operations for each of the three ports. No "handshaking" is required, data is simply written to or read from a specified port.

Mode 0 Basic Functional Definitions

- Two 8 bit ports and two 4 bit ports
- Any port can be input or output
- Outputs are latched.
- Inputs are not latched.
- 16 different Input/Output configurations are possible in this Mode.



MODE 0 (Basic Input)



MODE 0 (Basic Output)

2764 EPROM

GENERAL DESCRIPTION

8192-word x 8-bit UV Erasable and Programmable Read Only Memory

The 2764 is a 8192 word by 8 bit erasable and electrically programmable ROM. This device is packaged in a 28 pin dual-in-line package with transparent lid. The transparent lid on the package allows the memory content to be erased with ultraviolet light.

FEATURES

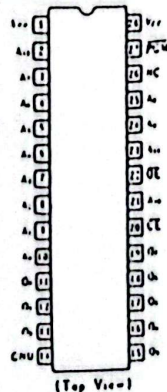
- Single Power Supply +5V \pm 5%
- Simple Programming Program Voltage +21 V D.C.
Program with one 50ms Pulse
- Static No Clocks Required
- Inputs and Outputs TTL Compatible During Both Read and Program Mode.
- Access Time HN482764G-2 200ns max
HN482764G 250ns max
HN482764G-3* 300ns max
- High Performance Programming Available
- Low Standby current 35mA max.

MODE SELECTION

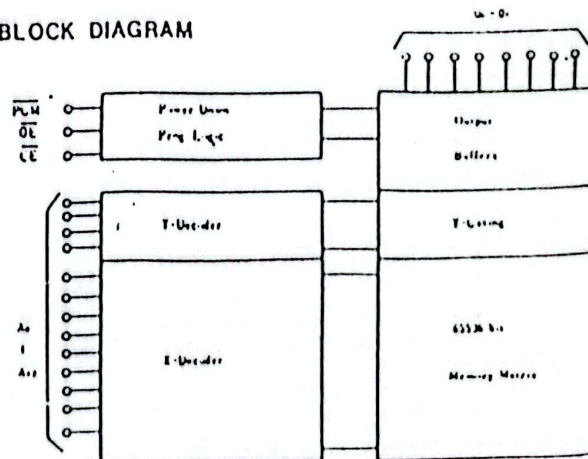
Mode	Pins	\overline{CE} (20)	\overline{OE} (22)	\overline{PGM} (27)	V_{PP} (1)	V_{CC} (28)	Outputs (11-13, 15-19)
Read		V_{IL}	V_{IL}	V_{IH}	V_{CC}	V_{CC}	Dout
Stand-by		V_{IH}	x	x	V_{CC}	V_{CC}	High Z
Program		V_{IL}	x	V_{IL}	V_{PP}	V_{CC}	Din
Program Verify		V_{IL}	V_{IL}	V_{IH}	V_{PP}	V_{CC}	Dout
Program Inhibit		V_{IH}	x	x	V_{PP}	V_{CC}	High Z

x = don't care

PIN CONNECTION



BLOCK DIAGRAM



2764 EPROM

GENERAL DESCRIPTION

8192-word x 8-bit UV Erasable and Programmable Read Only Memory

The 2764 is a 8192 word by 8 bit erasable and electrically programmable ROM. This device is packaged in a 28 pin dual-in-line package with transparent lid. The transparent lid on the package allows the memory content to be erased with ultraviolet light

FEATURES

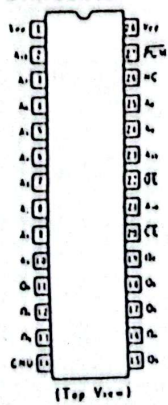
- Single Power Supply $\pm 5V \pm 5\%$
- Simple Programming Program Voltage: $\pm 21VDC$
Program with one 50ms Pulse
- Static No Clocks Required
- Inputs and Outputs TTL Compatible During Both Read and Program Mode
- Access Time
 - HM482764G-2 250ns max
 - HM482764G 250ns max
 - HM482764G-3 300ns max
- High Performance Programming Available
- Low Standby current 35mA max

MODE SELECTION

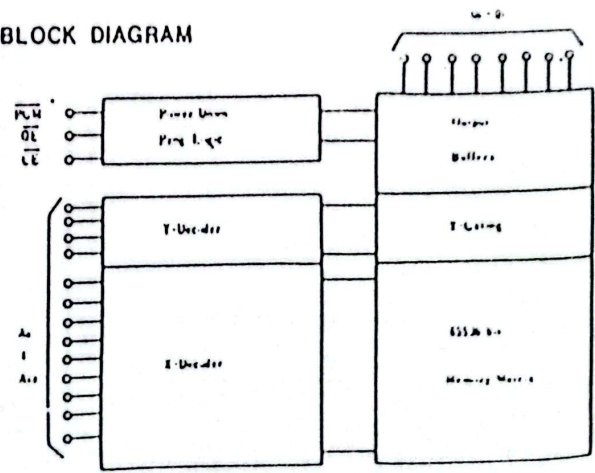
Mode	Pins	CE (20)	OE (22)	PGM (27)	VPP (1)	VCC (28)	Outputs (11-13, 15-19)
Read		V _{IL}	V _{IL}	V _{HI}	V _{CC}	V _{CC}	Dout
Stand-by		V _{HI}	x	x	V _{CC}	V _{CC}	High Z
Program		V _{IL}	x	V _{IL}	V _{PP}	V _{CC}	Din
Program Verify		V _{IL}	V _{IL}	V _{HI}	V _{PP}	V _{CC}	Dout
Program Inhibit		V _{HI}	x	x	V _{PP}	V _{CC}	High Z

x = don't care

PIN CONNECTION



BLOCK DIAGRAM





National Semiconductor Corporation

DAC0830/DAC0831/DAC0832 8-Bit μ P Compatible, Double-Buffered D to A Converters

General Description

The DAC0830 is an advanced CMOS/Si-Cr 8-bit multiplying DAC designed to interface directly with the 8080, 8048, 8085, Z80¹, and other popular microprocessors. A deposited silicon-chromium R-2R resistor ladder network divides the reference current and provides the circuit with excellent temperature tracking characteristics (0.05% of Full Scale Range maximum linearity error over temperature). The circuit uses CMOS current switches and control logic to achieve low power consumption and low output leakage current errors. Special circuitry provides TTL logic input voltage level compatibility.

Double buffering allows these DACs to output a voltage corresponding to one digital word while holding the next digital word. This permits the simultaneous updating of any number of DACs.

The DAC0830 series are the 8-bit members of a family of microprocessor-compatible DACs (MICRO-DACTM). For applications demanding higher resolution, the DAC1000 series (10-bits) and the DAC1203 and DAC1230 (12-bits) are available alternatives.

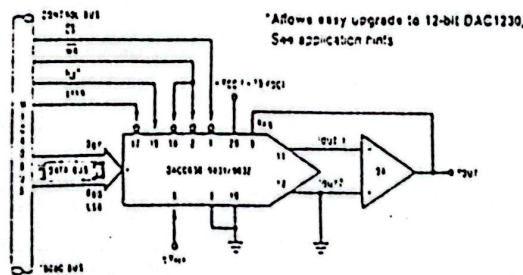
Features

- Double-buffered, single-buffered or flow-through digital data inputs
- Easy interchange and pin-compatible with 12-bit DAC1230 series
- Direct interface to all popular microprocessors
- Linearity specified with zero and full scale adjust only—NOT BEST STRAIGHT LINE FIT.
- Works with $\pm 10V$ reference-full 4-quadrant multiplication
- Can be used in the voltage switching mode
- Logic inputs which meet TTL voltage level specs (1.4V logic threshold)
- Operates "STAND ALONE" (without μ P) if desired
- Available in 20-pin small-outline or molded chip carrier package

Key Specifications

■ Current settling time	1 μ s
■ Resolution	8 bits
■ Linearity (guaranteed over temp.)	8; 9, or 10 bits
■ Gain Tempco	0.0002% FS/ $^{\circ}$ C
■ Low power dissipation	20 mW
■ Single power supply	5 to 15 V _{CC}

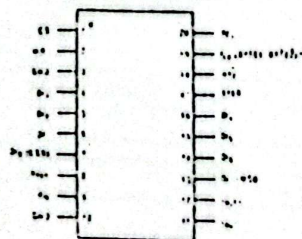
Typical Application



TL7945904-1

Connection Diagrams (Top Views)

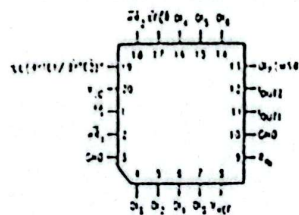
Dual-In-Line and Small-Outline Packages



This is necessary for the 12 bit DAC1230 series to permit interchanging from an 8 bit to a 12 bit DAC with no PC board changes and no software changes. See applications section.

TL7945904-21

Molded Chip Carrier Package



TL7945904-22

DAC0830/DAC0831/DAC0832

DAC0830/DAC0831/DAC0832

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V_{CC})	17 V_{DC}
Voltage at Any Digital Input	V_{CC} to GND
Voltage at V_{REF} Input	$\pm 25V$
Storage Temperature Range	$-65^{\circ}C$ to $+150^{\circ}C$
Package Dissipation at $T_A = 25^{\circ}C$ (Note 3)	500 mW
DC Voltage Applied to $ICUT_1$ or $ICUT_2$ (Note 4)	-100 mV to V_{CC}
ESD Susceptibility (Note 14)	800V

Lead Temperature (soldering, 10 sec.)

Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

Operating Conditions

Temperature Range	$T_{MIN} \leq T_A \leq T_{MAX}$
Part numbers with 'LCN' suffix	$0^{\circ}C$ to $+70^{\circ}C$
Part numbers with 'LCWM' suffix	$0^{\circ}C$ to $+70^{\circ}C$
Part numbers with 'LCV' suffix	$0^{\circ}C$ to $+70^{\circ}C$
Part numbers with 'LCJ' suffix	$-40^{\circ}C$ to $+85^{\circ}C$
Part numbers with 'LJ' suffix	$-55^{\circ}C$ to $+125^{\circ}C$
Voltage at Any Digital Input	V_{CC} to GND

Electrical Characteristics $V_{REF} = 10.000 V_{DC}$ unless otherwise noted. Boldface limits apply over temperature, $T_{MIN} \leq T_A \leq T_{MAX}$. For all other limits $T_A = 25^{\circ}C$.

Parameter	Conditions	See Note	$V_{CC} = 4.75 V_{DC}$ $V_{CC} = 15.75 V_{DC}$		$V_{CC} = 5 V_{DC} \pm 5\%$ $V_{CC} = 12 V_{DC} \pm 3\%$ to $15 V_{DC} \pm 5\%$		Limit Units
			Typ (Note 12)	Tested Limit (Note 5)	Design Limit (Note 6)		
CONVERTER CHARACTERISTICS							
Resolution			8	8	8		bits
Linearity Error Max	Zero and full scale adjusted $-10V \leq V_{REF} \leq +10V$	4, 8					
DAC0830LJ & LCJ				0.05	0.05		% FSR
DAC0832LJ & LCJ				0.2	0.2		% FSR
DAC0830LCN, LCWM & LCV				0.05	0.05		% FSR
DAC0831LCN				0.1	0.1		% FSR
DAC0832LCN, LCWM & LCV				0.2	0.2		% FSR
Differential Nonlinearity Max	Zero and full scale adjusted $-10V \leq V_{REF} \leq +10V$	4, 8					
DAC0830LJ & LCJ				0.1	0.1		% FSR
DAC0832LJ & LCJ				0.4	0.4		% FSR
DAC0830LCN, LCWM & LCV				0.1	0.1		% FSR
DAC0831LCN				0.2	0.2		% FSR
DAC0832LCN, LCWM & LCV				0.4	0.4		% FSR
Monotonicity	$-10V \leq V_{REF} \leq +10V$	LJ & LCJ LCN, LCWM & LCV	4	8	8		bits
Gain Error Max	Using Internal R_{FB} $-10V \leq V_{REF} \leq +10V$		7	± 0.2	± 1	± 1	% FS
Gain Error Temperature Max	Using internal R_{FB}			0.0002		0.0006	% FS/°C
Power Supply Rejection	All digital inputs latched high $V_{CC} = 14.5V$ to $15.5V$ $11.5V$ to $12.5V$ $4.5V$ to $5.5V$			0.0002 0.0006 0.013	0.0025		% FSR/V
Reference Input				15	20	20	kΩ
				15	10	10	kΩ
Output Feedthrough Error	$V_{REF} = 20 V_{p-p}$, $f = 100$ kHz All data inputs latched low		3				mVp-p

Electrical Characteristics $V_{REG} = 10,000 V_{DC}$ unless otherwise noted. Boldface limits apply over temperature, T_{MIN} & $T_A \leq T_{MAX}$. For all other limits $T_A = 25^\circ C$. (Continued)

Parameter	Conditions	See Note	$V_{CC} = 4.75 V_{DC}$ $V_{CC} = 15.75 V_{DC}$		$V_{CC} = 5 V_{DC} \pm 5\%$ $V_{CC} = 12 V_{DC} \pm 5\%$ to $15 V_{DC} \pm 5\%$		Limit Units
			Typ (Note 12)	Tested Limit (Note 5)	Design Limit (Note 5)		
CONVERTER CHARACTERISTICS (Continued)							
Output Leakage Current Max	I_{OUT1}	All data inputs latched low	LJ & LCJ LCN, LCWM & LCV	10	100 50	100 100	nA
	I_{OUT2}	All data inputs latched high	LJ & LCJ LCN, LCWM & LCV		100 50	100 100	nA
Output Capacitance	I_{OUT1}	All data inputs latched low		45 115			pF
	I_{OUT2}	All data inputs latched high		130 30			pF
DIGITAL AND DC CHARACTERISTICS							
Digital Input Voltages	Max	Logic Low	LJ 4.75V LJ 15.75V LCJ 4.75V LCJ 15.75V LCN, LCWM, LCV		0.8 0.8 0.7 0.8 0.95	0.8	V_{DC}
	Min	Logic High	LJ & LCJ LCN, LCWM, LCV		2.0 1.9	2.0 2.0	V_{DC}
Digital Input Currents	Max	Digital inputs < 0.8V	LJ & LCJ LCN, LCWM, LCV	-50	-200 -150	-200 -200	μA μA
		Digital inputs > 2.0V	LJ & LCJ LCN, LCWM, LCV	0.1	+10 +8	+10 +10	μA
Supply Current Drain	Max		LJ & LCJ LCN, LCWM, LCV	1.2	3.5 1.7	3.5 2.0	mA

DAC0830/DAC0831/DAC0832

DAC0830/DAC0830S/DAC0830S

Electrical Characteristics $V_{REF} = 10,000 V_{OC}$ unless otherwise noted. Boldface limits apply over temperature, $T_{MIN} \leq T_A \leq T_{MAX}$. For all other limits $T_A = 25^\circ C$. (Continued)

Symbol	Parameter	Conditions	See Note	$V_{CC} = 15.75 V_{OC}$		$V_{CC} = 12 V_{OC} \pm 5\%$ to $15 V_{OC} \pm 5\%$	$V_{CC} = 4.75 V_{OC}$		$V_{CC} = 5 V_{OC} \pm 5\%$	Limit Units
				Typ (Note 12)	Tested Limit (Note 5)	Design Limit (Note 6)	Typ (Note 12)	Tested Limit (Note 5)	Design Limit (Note 6)	
AC CHARACTERISTICS										
t_s	Current Setting Time	$V_{IL} = 0V, V_{IH} = 5V$		1.0			1.0			μs
t_w	Write and XFER Pulse Width Min	$V_{IL} = 0V, V_{IH} = 5V$	11 9	100 320	250 320		375 900	500 900	900	ns
t_{SD}	Data Setup Time Min	$V_{IL} = 0V, V_{IH} = 5V$	9	100 320	250 320		375 900	600 900	900	
t_{HD}	Data Hold Time Min	$V_{IL} = 0V, V_{IH} = 5V$	9		30 30			50 50		
t_{CS}	Control Setup Time Min	$V_{IL} = 0V, V_{IH} = 5V$	9	110 320	250 320	320	500 1100	900 1100	1100	
t_{CH}	Control Hold Time Min	$V_{IL} = 0V, V_{IH} = 5V$	9	0	0 0	10	0	0 0		

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to GND, unless otherwise specified.

Note 3: The maximum power dissipation must be derated at elevated temperatures and is dictated by T_{JMAX} , θ_{JA} , and the ambient temperature, T_A . The maximum allowable power dissipation at any temperature is $P_D = (T_{JMAX} - T_A) / \theta_{JA}$ or the number given in the Absolute Maximum Ratings, whichever is lower. For this device, $T_{JMAX} = 125^\circ C$ (plastic) or $150^\circ C$ (ceramic), and the typical junction-to-ambient thermal resistance of the J package when board mounted is $80^\circ C/W$. For the N package, this number increases to $100^\circ C/W$ and for the V package this number is $120^\circ C/W$.

Note 4: For current switching applications, both I_{OUT1} and I_{OUT2} must go to ground or the "Virtual Ground" of an operational amplifier. The linearity error is degraded by approximately $V_{GG} = V_{REF}$. For example, if $V_{GG} = 12V$ then a 1 mV offset, V_{GG} , on I_{OUT1} or I_{OUT2} will introduce an additional 0.01% linearity error.

Note 5: Tested limits are guaranteed to National's AOCL (Average Outgoing Quality Level).

Note 6: Guaranteed, but not 100% production tested. These limits are not used to calculate outgoing quality levels.

Note 7: Guaranteed at $V_{REF} = \pm 10 V_{OC}$ and $V_{REF} = \pm 1 V_{OC}$.

Note 8: The unit "FSR" stands for "Full Scale Range." "Linearity Error" and "Power Supply Rejection" specs are based on this unit to eliminate dependence on a particular V_{REF} value and to indicate the true performance of the part. The "Linearity Error" specification of the DAC0830 is "0.03% of FSR (MAX)". This guarantees that after performing a zero and full scale adjustment (see Sections 2.5 and 2.6), the plot of the 256 analog voltage outputs will each be within 0.03% $\times V_{REF}$ of a straight line which passes through zero and full scale.

Note 9: Boldface tested limits apply to the LJ and LCI subtypes only.

Note 10: A 100nA leakage current with $R_{TH} = 20k$ and $V_{REF} = 10V$ corresponds to a zero error of $(100 \times 10^{-9} \times 20 \times 10^3) \times 100/10$ which is 0.02% of FS.

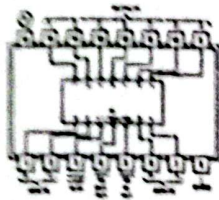
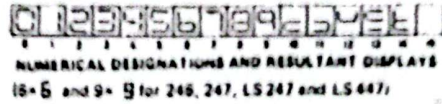
Note 11: The entire write pulse must occur within the valid data interval for the specified t_w , t_{SD} , t_{CH} , and t_s to apply.

Note 12: Typical's are at $25^\circ C$ and represent most likely parametric norm.

Note 13: Human body model, 100 pF discharged through a 1.5 k Ω resistor.

54/74(LS)46-47

- 46, 246 Penggerak/dakoder BCD-7-segmen dengan jalankeluar kolektor terbuka (30 V)
- 47, 247 dengan jalankeluar kolektor terbuka (15 V)
- 347, 447 dengan jalankeluar kolektor terbuka (7 V)



Decimal or Function	Input					BI/RBO ¹	Output						
	A	B	C	D	A		1	2	3	4	5	6	7
0	H	H	L	L	L	H	ON	ON	ON	ON	ON	ON	OFF
1	H	H	L	L	H	H	OFF	ON	ON	OFF	ON	OFF	OFF
2	H	H	L	L	H	H	ON	ON	OFF	ON	ON	OFF	ON
3	H	H	L	H	H	H	OFF	ON	ON	ON	OFF	ON	ON
4	H	H	L	H	L	H	ON	OFF	ON	ON	OFF	ON	ON
5	H	H	L	H	L	H	ON	OFF	ON	ON	OFF	ON	ON
6	H	H	L	H	L	H	ON	ON	OFF	ON	ON	OFF	ON
7	H	H	L	H	L	H	ON	ON	ON	OFF	ON	ON	ON
8	H	H	L	L	L	H	ON	ON	ON	ON	ON	ON	ON
9	H	H	L	L	H	H	ON	ON	ON	ON	ON	ON	ON
10	H	X	X	X	X	H	OFF	OFF	OFF	ON	ON	OFF	ON
11	H	X	X	X	X	H	OFF	OFF	ON	ON	OFF	ON	ON
12	H	X	X	X	X	H	OFF	ON	OFF	OFF	ON	ON	ON
13	H	X	X	X	X	H	ON	OFF	OFF	ON	ON	ON	ON
14	H	X	X	X	X	H	OFF	OFF	OFF	ON	ON	ON	ON
15	H	X	X	X	X	H	OFF	OFF	OFF	OFF	ON	ON	ON
16	H	X	X	X	X	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF
17	L	X	X	X	X	H	ON	ON	ON	ON	ON	ON	ON

Function table:
 * 46A, 47A, LS 47, LS 347
 * 246, 247, LS 247, LS 447

CATATAN:

- Jalanmasuk polosan (BI) harus terbuka atau ditaruh pada taraf logika tinggi bila fungsi-fungsi keluaran 0 hingga 15 diinginkan. Jalanmasuk polosan deret (RBI) harus terbuka atau tinggi kalau pemrosesan mul dasan tidak diinginkan.
- Kalau taraf logika rendah dikenakan dengan langsung kepada jalanmasuk polosan (BI) maka semua jalankeluar segmen adalah off tak peduli akan taraf yang ada di sebarang jalanmasuk lain.
- Bila jalanmasuk polosan deret (RBI) dan juga jalanmasuk jalanmasuk A, B, C, dan D berada dalam taraf rendah dengan lamp test tinggi, maka semua segmen keluaran off dan jalankeluar polosan deret (RBO) pergi ke taraf rendah (kondisi tanggap).
- Kalau jalanmasuk polosan/jalankeluar polosan deret (BI/RBO) terbuka atau dibiarkan tinggi, dan jalanmasuk lamp test dibuat rendah, maka semua segmen keluaran adalah on.
¹ BI/RBO adalah logika AND kawat yang berguna sebagai jalanmasuk polosan (BI) dan/atau jalankeluar polosan deret (RBO).

	supply out (mA)	IP _{LH} (mA)	IP _{HL} (mA)
46A 47A 246 247	64	100	100
LS 47 LS 247 LS 347 LS 447	7	100	100

	Condition	Fan in	Fan out
46A	BI/RBO inp. L	2.5	
47A	BI/RBO inp. H	1	
246	other inp. L/H	1	
247	BI/RBO outp. L/H		8
	other outp. L		25
LS 47	BI/RBO inp. L	2	
LS 247	BI/RBO inp. H	1	
	other inp. L/H	1	
	BI/RBO outp. L		8
	BI/RBO outp. H		2.5
	other outp. L		60
LS 347	BI/RBO inp. L	2	
LS 447	BI/RBO inp. H	1	
	other inp. L/H	1	
	BI/RBO outp. L		8
	BI/RBO outp. H		2.5
	other outp. L		60